

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2000040363 A**(43) Date of publication of application: **08 . 02 . 00**

(51) Int. Cl.

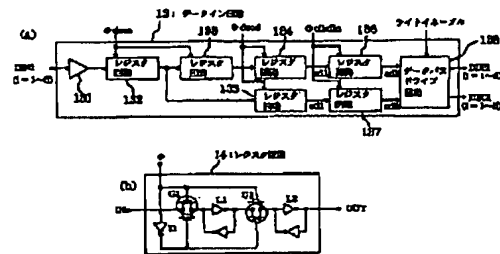
G11C 11/407(21) Application number: **11123182**(22) Date of filing: **28 . 04 . 99**(30) Priority: **21 . 05 . 99 JP 10140128**(71) Applicant: **NEC CORP**(72) Inventor: **NAGATA KYOICHI
HIROBE ATSUNORI
KOBAYASHI YASUO**(54) **SEMICONDUCTOR MEMORY**

COPYRIGHT: (C)2000,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To secure a latch margin at the time of converting input data which are fetched by the control of a data strobe signal into a clock signal control in a DDR(double data rate)-SDRAM(synchronous dynamic RAM).

SOLUTION: This semiconductor memory is provided with cascaded register circuits 132, 133 fetching input data in accordance with the first one-shot pulse signal generated from the rising and falling edges of a data strobe signal, register circuits 134, 135 simultaneously fetching two pieces of data from the register circuits 132, 133 in accordance with a timing signal having the double cycle of the first one-shot pulse signal and register circuits 136, 137 simultaneously fetching two pieces of data from the register circuits 134, 135 in accordance with the second one-shot signal generated from the rising edge or the falling edge of a clock signal, and the memory is constituted so as to write two pieces of data from the register circuits 136, 137 in storage cells in parallel.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-40363

(P2000-40363A)

(43) 公開日 平成12年2月8日 (2000.2.8)

(51) Int.Cl.⁷

G 1 1 C 11/407

識別記号

F I

G 1 1 C 11/34

テーマコード* (参考)

3 6 2 S

3 5 4 C

審査請求 有 請求項の数36 O L (全 65 頁)

(21) 出願番号 特願平11-123182

(22) 出願日 平成11年4月28日 (1999.4.28)

(31) 優先権主張番号 特願平10-140128

(32) 優先日 平成10年5月21日 (1998.5.21)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 永田 恭一

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 廣部 厚紀

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 小林 康夫

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100099830

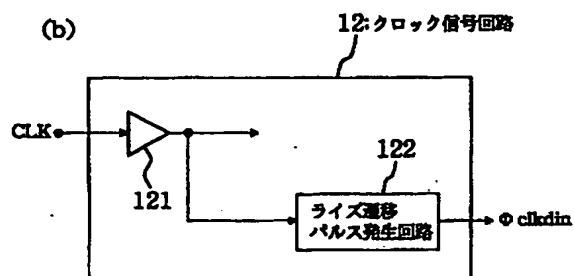
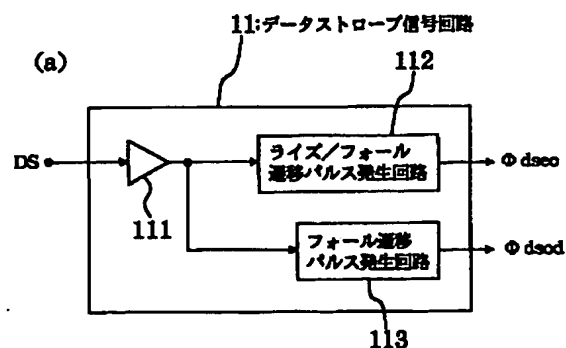
弁理士 西村 征生

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 DDR-SDRAMにおいて、データストロブ信号の制御で取り込んだ入力データをクロック信号制御に変換する際のラッチマージンを確保する。

【解決手段】 開示される半導体記憶装置は、データストロブ信号の立ち上がり立ち下がりエッジから生成した第1のワンショットパルス信号に応じて入力データを取り込む従続接続のレジスタ回路132、133と、レジスタ回路132、133からの2個のデータを第1のワンショットパルス信号の2倍の周期のタイミング信号に応じて同時に取り込むレジスタ回路134、135と、レジスタ回路134、135からの2個のデータをクロック信号の立ち上がり又は立ち下がりエッジから生成した第2のワンショットパルス信号に応じて同時に取り込むレジスタ回路136、137とを備え、レジスタ回路136、137からの2個のデータを並列に記憶セルに書き込むように構成されている。



【特許請求の範囲】

【請求項 1】 入力データの 2 個周期で出力されるデータストロープ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジとに応じて入力データを順次取り込む、従続接続された第 1 及び第 2 のデータ保持手段を備え、

該第 1 及び第 2 のデータ保持手段に取り込まれたデータを同時に取り出してクロック信号のタイミングで並列に記憶セルに書き込むように構成されていることを特徴とする半導体記憶装置。

【請求項 2】 入力データの 2 個周期で出力されるデータストロープ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジとから生成した第 1 のワンショットパルス信号に応じて入力データを順次取り込む従続接続された第 1 の組の 2 個のデータ保持手段と、

該第 1 の組の 2 個のデータ保持手段に取り込まれた 2 個のデータを前記第 1 のワンショットパルス信号の 2 倍の周期を有するタイミング信号に応じて同時に取り込む第 2 の組の 2 個のデータ保持手段と、

該第 2 の組の 2 個のデータ保持手段に取り込まれた 2 個のデータをクロック信号の立ち上がり又は立ち下がりエッジから生成した第 2 のワンショットパルス信号に応じて同時に取り込む第 3 の組の 2 個のデータ保持手段とを備え、

該第 3 の組の 2 個のデータ保持手段に取り込まれた 2 個のデータを並列に記憶セルに書き込むように構成されていることを特徴とする半導体記憶装置。

【請求項 3】 前記タイミング信号が前記第 1 のワンショットパルス信号より後に発生するように構成されていることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】 前記第 2 の組の 2 個のデータ保持手段がそれぞれレジスタ回路からなることを特徴とする請求項 2 又は 3 記載の半導体記憶装置。

【請求項 5】 前記タイミング信号がデータストロープ信号の立ち上がり又は立ち下がりエッジから遅延して生成されるとともに、前記第 2 のワンショットパルス信号がクロック信号の立ち上がり又は立ち下がりエッジから遅延して生成されるように構成されていることを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 6】 前記第 2 の組の 2 個のデータ保持手段がそれぞれデータラッチ回路からなることを特徴とする請求項 2 又は 3 記載の半導体記憶装置。

【請求項 7】 入力データの 2 個周期で出力されるデータストロープ信号の立ち上がり（又は立ち下がり）エッジに応じて入力データを取り込む第 1 のデータ保持手段と、該データストロープ信号の立ち下がり（又は立ち上がり）エッジに応じて入力データを取り込む第 2 のデータ保持手段とを備え、

該第 1 及び第 2 のデータ保持手段に取り込まれたデータ

を同時に取り出してクロック信号のタイミングで並列に記憶セルに書き込むように構成されていることを特徴とする半導体記憶装置。

【請求項 8】 入力データの 2 個周期で出力されるデータストロープ信号の立ち上がり（又は立ち下がり）エッジから生成した第 1 のワンショットパルス信号に応じて入力データを取り込む第 1 のデータ保持手段と、該データストロープ信号の立ち下がり（又は立ち上がり）エッジから生成した第 2 のワンショットパルス信号に応じて入力データを取り込む第 2 のデータ保持手段とからなる第 1 の組の 2 個のデータ保持手段と、

該第 1 の組の 2 個のデータ保持手段に取り込まれた 2 個のデータを前記第 1 又は第 2 のワンショットパルス信号と同じ周期を有するタイミング信号に応じて同時に取り込む第 2 の組の 2 個のデータ保持手段と、

該第 2 の組の 2 個のデータ保持手段に取り込まれた 2 個のデータをクロック信号の立ち上がり又は立ち下がりエッジから生成した第 3 のワンショットパルス信号に応じて同時に取り込む第 3 の組の 2 個のデータ保持手段とを備え、

該第 3 の組の 2 個のデータ保持手段に取り込まれた 2 個のデータを並列に記憶セルに書き込むように構成されていることを特徴とする半導体記憶装置。

【請求項 9】 前記タイミング信号が前記第 1 又は第 2 のワンショットパルス信号より後に発生するように構成されていることを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 10】 前記第 2 の組の 2 個のデータ保持手段がそれぞれレジスタ回路からなることを特徴とする請求項 8 又は 9 記載の半導体記憶装置。

【請求項 11】 前記タイミング信号が前記第 1 又は第 2 のワンショットパルス信号から遅延して生成されるとともに、前記第 3 のワンショットパルス信号がクロック信号の立ち上がり又は立ち下がりエッジから遅延して生成されるように構成されていることを特徴とする請求項 10 記載の半導体記憶装置。

【請求項 12】 前記第 2 の組の 2 個のデータ保持手段、それぞれデータラッチ回路からなることを特徴とする請求項 8 又は 9 記載の半導体記憶装置。

【請求項 13】 入力制御信号の 2 個周期で出力されるデータストロープ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジとに応じて入力制御信号を順次取り込む、従続接続された第 1 及び第 2 の制御信号保持手段を備え、

該第 1 及び第 2 の制御信号保持手段に取り込まれた制御信号を同時に取り出してクロック信号のタイミングで並列にデータ制御を行うように構成されていることを特徴とする半導体記憶装置。

【請求項 14】 入力制御信号の 2 個周期で出力されるデータストロープ信号の立ち上がり（又は立ち下がり）

エッジと立ち下がり（又は立ち上がり）エッジとから生成した第1のワンショットパルス信号に応じて入力制御信号を順次取り込む従続接続された第1の組の2個の制御信号保持手段と、

該第1の組の2個の制御信号保持手段に取り込まれた2個の制御信号を前記第1のワンショットパルス信号の2倍の周期を有するタイミング信号に応じて同時に取り込む第2の組の2個の制御信号保持手段と、

該第2の組の2個の制御信号保持手段に取り込まれた2個の制御信号をクロック信号の立ち上がり又は立ち下がリエッジから生成した第2のワンショットパルス信号に応じて同時に取り込む第3の組の2個の制御信号保持手段とを備え、

該第3の組の2個の制御信号保持手段に取り込まれた2個の制御信号で並列にデータ制御を行うように構成されていることを特徴とする半導体記憶装置。

【請求項15】 前記タイミング信号が前記第1のワンショットパルス信号より後に発生するように構成されていることを特徴とする請求項14記載の半導体記憶装置。

【請求項16】 前記第2の組の2個の制御信号保持手段が、それぞれレジスタ回路からなることを特徴とする請求項14又は15記載の半導体記憶装置。

【請求項17】 前記タイミング信号がデータストロープ信号の立ち上がり又は立ち下がリエッジから遅延して生成されるとともに、前記第2のワンショットパルス信号がクロック信号の立ち上がり又は立ち下がリエッジから遅延して生成されるように構成されていることを特徴とする請求項16記載の半導体記憶装置。

【請求項18】 前記第2の組の2個の制御信号保持手段がそれぞれデータラッチ回路からなることを特徴とする請求項14又は15記載の半導体記憶装置。

【請求項19】 入力制御信号の2個周期で出力されるデータストロープ信号の立ち上がり（又は立ち下がり）エッジに応じて入力制御信号を取り込む第1のデータ保持手段と、該データストロープ信号の立ち下がり（又は立ち上がり）エッジに応じて入力制御信号を取り込む第2のデータ保持手段とを備え、

該第1及び第2のデータ保持手段に取り込まれた制御信号を同時に取り出してクロック信号のタイミングで並列にデータ制御を行うように構成されていることを特徴とする半導体記憶装置。

【請求項20】 入力制御信号の2個周期で出力されるデータストロープ信号の立ち上がり（又は立ち下がり）エッジから生成した第1のワンショットパルス信号に応じて入力制御信号を取り込む第1の制御信号保持手段と、該データストロープ信号の立ち下がり（又は立ち上がり）エッジから生成した第2のワンショットパルス信号に応じて入力制御信号を取り込む第2の制御信号保持手段とからなる第1の組の2個の制御信号保持手段と、

該第1の組の2個の制御信号保持手段に取り込まれた2個の制御信号を前記第1又は第2のワンショットパルス信号と同じ周期を有するタイミング信号に応じて同時に取り込む第2の組の2個の制御信号保持手段と、

該第2の組の2個の制御信号保持手段に取り込まれた2個の制御信号をクロック信号の立ち上がり又は立ち下がリエッジから生成した第3のワンショットパルス信号に応じて同時に取り込む第3の組の2個の制御信号保持手段とを備え、

該第3の組の2個の制御信号保持手段に取り込まれた2個の制御信号で並列にデータ制御を行うように構成されていることを特徴とする半導体記憶装置。

【請求項21】 前記タイミング信号が前記第1又は第2のワンショットパルス信号より後に発生するように構成されていることを特徴とする請求項20記載の半導体記憶装置。

【請求項22】 前記第2の組の2個の制御信号保持手段がそれぞれレジスタ回路からなることを特徴とする請求項20又は21記載の半導体記憶装置。

【請求項23】 前記タイミング信号が前記第1又は第2のワンショットパルス信号から遅延して生成されるとともに、前記第3のワンショットパルス信号がクロック信号の立ち上がり又は立ち下がリエッジから遅延して生成されるように構成されていることを特徴とする請求項22記載の半導体記憶装置。

【請求項24】 前記第2の組の2個の制御信号保持手段がそれぞれデータラッチ回路からなることを特徴とする請求項20又は21記載の半導体記憶装置。

【請求項25】 前記制御信号によるデータ制御が、記憶セルに書き込むデータのマスク制御であることを特徴とする請求項13乃至24のいずれか1に記載の半導体記憶装置。

【請求項26】 クロック信号から該クロック信号又はその分周信号の立ち上がり又は立ち下がリエッジを検出して第1のワンショットパルス信号を発生するクロック信号回路と、

入力データ又は入力制御信号の2個周期で出力されるデータストロープ信号から、該データストロープ信号の立ち上がり及び立ち下がリエッジを検出した第2のワンショットパルス信号と、該データストロープ信号の立ち上がり又は立ち下がリエッジを検出したワンショットパルス信号を遅延した第1のタイミング信号とを発生するデータストロープ信号回路と、

前記クロック信号回路とデータストロープ信号回路のそれぞれの出力信号から、モード制御信号に応じて、前記半導体記憶装置のデータイン回路又はライトデータマスク回路に対するそれぞれの制御用タイミング信号を生成する中間バッファとを備え、

該中間バッファからの前記制御用タイミング信号によって、前記データイン回路とライトデータマスク回路にお

ける、クロック信号に基づく入力データ又は入力制御信号の処理と、前記データストロブ信号に基づく入力データ又は入力制御信号の処理とを切り替えることを特徴とする請求項 1 乃至 25 のいずれか 1 に記載の半導体記憶装置。

【請求項 27】 前記中間バッファが、前記第 1 のタイミング信号と、モード制御信号に応じて、前記第 1 のワンショットパルス信号と第 2 のワンショットパルス信号とを切り替えた第 2 のタイミング信号と、前記モード制御信号に応じて出力される前記第 1 のワンショットパルス信号を遅延した第 3 のタイミング信号とを、前記制御用タイミング信号として生成するように構成されていることを特徴とする請求項 26 記載の半導体記憶装置。

【請求項 28】 クロック信号から該クロック信号又はその分周信号の立ち上がり又は立ち下がりエッジを検出して第 1 のワンショットパルス信号を発生するクロック信号回路と、

入力データ又は入力制御信号の 2 個周期で並列に出力される 2 系列のデータストロブ信号における第 1 の系列のデータストロブ信号から、該データストロブ信号の立ち上がり及び立ち下がりエッジを検出した第 2 のワンショットパルス信号と、該データストロブ信号の立ち上がり又は立ち下がりエッジを検出したワンショットパルス信号を遅延した第 1 のタイミング信号とを発生する第 1 のデータストロブ信号回路と、

入力データ又は入力制御信号の 2 個周期で並列に出力される 2 系列のデータストロブ信号における第 2 の系列のデータストロブ信号から、該データストロブ信号の立ち上がり及び立ち下がりエッジを検出した第 2 のワンショットパルス信号と、該データストロブ信号の立ち上がり又は立ち下がりエッジを検出したワンショットパルス信号を遅延した第 1 のタイミング信号とを発生する第 2 のデータストロブ信号回路と、

前記クロック信号回路と第 1 及び第 2 のデータストロブ信号回路のそれぞれの出力信号から、モード制御信号に応じて、複数のデータイン回路又はライトデータマスク回路に対する、前記 2 系列のデータストロブ信号に対応するそれぞれの制御用タイミング信号を生成する中間バッファとを備え、

該中間バッファからの前記制御用タイミング信号によって、前記データイン回路とライトデータマスク回路における、クロック信号に基づく入力データ又は入力制御信号の処理と、前記データストロブ信号に基づく入力データ又は入力制御信号の処理とを切り替えることを特徴とする請求項 1 乃至 25 のいずれか 1 に記載の半導体記憶装置。

【請求項 29】 前記中間バッファが、前記第 1 の系列の第 1 のタイミング信号と、ビット指定信号に応じて第 1 の系列の第 1 のタイミング信号と第 2 の系列の第 1 のタイミング信号とを切り替えた第 2 の系列の第 1 のタイ

ミング信号と、モード制御信号に応じて前記第 1 のワンショット信号と第 1 の系列の第 2 のワンショット信号とを切り替えた第 1 の系列の第 2 のタイミング信号と、ビット指定信号とモード制御信号とに応じて前記第 1 のワンショットパルス信号と第 1 の系列の第 2 のワンショットパルス信号と第 2 の系列の第 2 のワンショットパルス信号とを切り替えた第 2 の系列の第 2 のタイミング信号と、前記モード制御信号に応じて出力される前記第 1 のワンショットパルス信号を遅延した第 3 のタイミング信号とを、前記制御用タイミング信号として生成するように構成されていることを特徴とする請求項 28 記載の半導体記憶装置。

【請求項 30】 前記中間バッファが、それぞれの出力タイミング信号を増幅するとともに、前記各データイン回路及びライトデータマスク回路におけるすべてのレジスタ回路及びデータラッチ回路への出力タイミング信号のスキューが最小になるような位置に配置されていることを特徴とする請求項 26 乃至 29 のいずれか 1 に記載の半導体記憶装置。

【請求項 31】 前記第 3 のタイミング信号に対する遅延量が可変であることを特徴とする請求項 26 乃至 29 のいずれか 1 に記載の半導体記憶装置。

【請求項 32】 前記モード制御信号が、外部コマンドに基づく第 1 のコマンドデコーダからの禁止信号が出力されていないとき、外部からのボンディングオプション指示信号に基づいて出力されるとともに、外部コマンドに基づいて前記第 1 のコマンドデコーダが前記禁止信号を出力した状態で該第 1 のコマンドデコーダから出力され、該第 1 のコマンドデコーダは、外部コマンドに基づいて第 2 のコマンドデコーダがテスト信号を出力する状態で、該第 2 のコマンドデコーダからのリセット信号によって初期化されるように構成されていることを特徴とする請求項 27 又は 29 記載の半導体記憶装置。

【請求項 33】 前記ボンディングオプション指示信号が、当該半導体記憶装置のパッケージ組み立て時に与えられることを特徴とする請求項 32 記載の半導体記憶装置。

【請求項 34】 前記モード制御信号に応じて、レベルシフタを介してゲートに制御電圧を付与されるトランジスタを備え、該モード制御信号に応じてフローティングノードとなる当該半導体記憶装置の入力端子に、前記トランジスタを介して固定電位を付与するように構成されていることを特徴とする請求項 26 乃至 33 のいずれか 1 に記載の半導体記憶装置。

【請求項 35】 前記固定電位が、前記入力端子の参照電位であることを特徴とする請求項 34 記載の半導体記憶装置。

【請求項 36】 前記モード制御信号に従い、読み出し動作時には半導体記憶装置がデータストロブ信号を供給するように構成されていることを特徴とする請求項 3

2乃至33のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に係り、特に、ダブルデータレート（DDR）型のシンクロナス・ダイナミック・ランダム・アクセス・メモリ（SDRAM）である、DDR-SDRAMに関する。

【0002】

【従来の技術】中央処理装置（CPU）の高速化に伴って、計算機の主記憶装置には、クロックに同期して動作するSDRAMが用いられようになったが、さらに高速化を図るため、2ビットのデータを同時に読み書きする、2ビットプリフェッチ型のSDRAMが提案されている。

【0003】まず、2ビットプリフェッチ型SDRAMからなる半導体記憶装置の第1の従来例を説明する。図77及び図78は、第1の従来例の電気的構成を示すブロック図、図79は第1の従来例の動作を説明するタイミングチャートである。この第1の従来例の半導体記憶装置は、図77及び図78に示すように、クロック信号回路201と、データイン回路202とから概略構成されている。クロック信号回路201は、図77に示すように、入力バッファ2011と、ライズ遷移パルス発生回路2012と、遅延回路2013と、分周回路2014と、ライズ遷移パルス発生回路2015とを有している。データイン回路202は、図78（a）に示すように、入力バッファ2021と、レジスタ回路2022、2023、2024、2025と、データバスドライバ回路2026とを有している。

【0004】次に、図77乃至図79を参照して、2ビットプリフェッチ型SDRAMからなる半導体記憶装置の第1の従来例の動作を説明する。図77に示すクロック信号回路201において、ライズ遷移パルス発生回路2012は、外部から入力バッファ2011を経て入力されたクロック信号CLKの立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号 ϕ_{clk} を発生する。また、分周回路2014は、遅延回路2013を経て所定時間遅延された入力クロック信号を2分周する。ライズ遷移パルス発生回路2015は、分周回路2014から出力された分周クロック信号の立ち上がりエッジを検出してワンショットパルス信号 $\phi_{clk\,din}$ を発生する。ワンショットパルス信号 $\phi_{clk\,din}$ は、クロック信号CLKの2倍の周期を有している。

【0005】図78（a）に示すデータイン回路202において、データ入力信号 DIN_i （ $i=1\sim 8$ ）は、8ビットからなる並列データ入力のうちの1ビット分を示している。レジスタ回路2022は、入力バッファ2021を経て入力されたデータ入力信号 DIN_i を、クロック信号CLKのライズ遷移によって発生したワンショットパルス信号 ϕ_{clk} に応じて取り込む。レジスタ

回路2023は、レジスタ回路2022に保持されたデータを、次のワンショットパルス信号 ϕ_{clk} に応じて取り込む。次に、レジスタ回路2024、2025は、クロック信号CLKの2サイクルごとに発生するワンショットパルス信号 $\phi_{clk\,din}$ に応じて、それぞれレジスタ回路2022、2023のデータを同時に取り込む。この際、ミ斯拉ッチを防止するために、ワンショットパルス信号 $\phi_{clk\,din}$ は、ワンショットパルス信号 ϕ_{clk} より後に与えられるように、遅延回路2013によって遅延されている。データバスドライバ回路2026は、レジスタ回路2024の出力データ ed と、レジスタ回路2025の出力データ od とを並列に、それぞれ対応する偶数（even）番目のデータバスDBE i （ $i=1\sim 8$ ）と、奇数（odd）番目のデータバスDBO i （ $i=1\sim 8$ ）とに供給し、これによって、入力データが図示されない記憶セルに書き込まれる。

【0006】なお、図78（a）における各レジスタ回路2022、2023、2024、2025はすべて図78（b）のレジスタ回路203によって示される同じ回路構成を有している。レジスタ回路203は、インバータI1と、ゲートG1、G2と、ラッチL1、L2とを有し、入力データINを、外部クロック信号 ϕ の立ち下がりに応じてゲートG1を開いてラッチ回路L1にラッチし、ラッチ回路L1にラッチされたデータを、外部クロック信号 ϕ の立ち上がりに応じてゲートG2を開いてラッチ回路L2にラッチすることによって、1ビットのデータを、外部クロック信号 ϕ の1周期間保持する。

【0007】次に、2ビットプリフェッチ型SDRAMからなる半導体記憶装置の第2の従来例を説明する。図80及び図81は、第2の従来例の電気的構成を示すブロック図、図82は、第2の従来例の動作を説明するタイミングチャートである。この第2の従来例の半導体記憶装置は、図80及び図81に示すように、クロック信号回路211と、データイン回路212とから概略構成されている。クロック信号回路211は、図80に示すように、入力バッファ2111と、分周回路2112と、ライズ遷移パルス発生回路2113と、遅延回路2114と、1周期遅延回路2115と、分周回路2116と、ライズ遷移パルス発生回路2117とを有している。データイン回路212は、図81（a）に示すように、入力バッファ2121と、レジスタ回路2122、2123、2124、2125と、データバスドライバ回路2126とを有している。

【0008】次に、図80乃至図82を参照して、2ビットプリフェッチ型SDRAMからなる半導体記憶装置の第2の従来例の動作を説明する。図80に示すクロック信号回路211において、分周回路2112は、外部から入力バッファ2111を経て入力されたクロック信号CLKを2分周する。ライズ遷移パルス発生回路2113は、分周回路2112の出力信号の立ち上がり（ラ

イズ) エッジを検出して、ワンショットパルス信号 Φ_{clk} を発生する。遅延回路2114は、分周回路2112の出力信号を所定時間遅延させる。ライズ遷移パルス発生回路2113は、遅延回路2114の出力信号の立ち上がり(ライズ)エッジを検出して、ワンショットパルス信号 Φ_{clk_din} を発生する。また、1周期遅延回路2115は、入力バッファ2111の出力信号を、1周期遅延させ、分周回路2116は、1周期遅延回路2115の出力信号を2分周する。ライズ遷移パルス発生回路2117は、分周回路2116から出力された信号の立ち上がり(ライズ)エッジを検出してワンショットパルス信号 Φ_{clk} を発生する。

【0009】図81(a)に示すデータイン回路212において、レジスタ回路2122は、入力バッファ2121を経て入力されたデータ入力信号 DIN_i を、2分周されたクロック信号 CLK のライズ遷移によって発生したワンショットパルス信号 Φ_{clk} に応じて取り込む。また、レジスタ回路2123は、入力バッファ2121の出力信号を、1周期遅延され2分周されたクロック信号 CLK のライズ遷移によって発生したワンショットパルス信号 Φ_{clk} に応じて取り込む。次にレジスタ回路2124、2125は、クロック信号 CLK の2サイクルごとに発生する遅延されたワンショットパルス信号 Φ_{clk_din} に応じて、それぞれレジスタ回路2122、2123のデータを同時に取り込む。この際、ミ斯拉ッチを防止するために、ワンショットパルス信号 Φ_{clk_din} は、ワンショットパルス信号 Φ_{clk} より、後に与えられるように遅延されている。データバスドライブ回路2126は、レジスタ回路2124の出力データ ed と、レジスタ回路2125の出力データ od とを並列に、それぞれ偶数番目のデータバス DBE_i ($i=1\sim 8$)と、奇数番目のデータバス DBO_i ($i=1\sim 8$)とに供給し、これによって、入力データが図示されない記憶セルに書き込まれる。

【0010】なお、図81(a)におけるレジスタ回路2122、2123、2124、2125は、すべて、図81(b)のレジスタ回路213によって示される同じ回路構成を有している。レジスタ回路213は、図78(b)に示されたレジスタ回路203と同じ構成、機能を有している。

【0011】次に、データマスク信号によってデータ信号の書き込みを制御する場合の従来例を説明する。まず、2ビットプリフェッチ型SDRAMからなる半導体記憶装置の第3の従来例を説明する。図83及び図84は、第3の従来例の電気的構成を示すブロック図、図85は、第3の従来例の動作を説明するタイミングチャートである。この第3の従来例の半導体記憶装置は、図83及び図84に示すように、クロック信号回路221と、ライトデータマスク回路222とから概略構成されている。クロック信号回路221は、図83に示すよう

に、入力バッファ2211と、ライズ遷移パルス発生回路2212と、遅延回路2213と、分周回路2214と、ライズ遷移パルス発生回路2215とを有している。ライトデータマスク回路222は、図84(a)に示すように、入力バッファ2221と、レジスタ回路2222、2223、2224、2225と、ライトデータマスク信号ドライブ回路2226とを有している。

【0012】次に、図83乃至図85を参照して、2ビットプリフェッチ型SDRAMからなる半導体記憶装置の第3の従来例の動作を説明する。図83に示すクロック信号回路221において、ライズ遷移パルス発生回路2212は、外部から入力バッファ2211を経て入力されたクロック信号 CLK の立ち上がり(ライズ)エッジを検出して、ワンショットパルス信号 Φ_{clk} を発生する。また、分周回路2214は、遅延回路2213を経て所定時間遅延された入力クロック信号を2分周する。ライズ遷移パルス発生回路2215は、分周回路2214から出力された分周クロック信号の立ち上がりエッジを検出してワンショットパルス信号 Φ_{clk_din} を発生する。ワンショットパルス信号 Φ_{clk_din} は、クロック信号 CLK の2倍の周期を有している。

【0013】図84(a)に示すライトデータマスク回路222において、データ制御信号 DM_i は、UとLの各1ビットからなる並列データ制御信号を示している。レジスタ回路2222は、入力バッファ2221を経て入力されたデータ制御信号 DM_i を、クロック信号 CLK のライズ遷移によって発生したワンショットパルス信号 Φ_{clk} に応じて取り込む。レジスタ回路2223は、レジスタ回路2222に保持されたデータを、次のワンショットパルス信号 Φ_{clk} に応じて取り込む。次に、レジスタ回路2224、2225は、クロック信号 CLK の2サイクルごとに発生するワンショットパルス信号 Φ_{clk_din} に応じて、それぞれレジスタ回路2222、2223のデータ制御信号を同時に取り込む。この際、ラッチミスを防止するために、ワンショットパルス信号 Φ_{clk_din} は、ワンショットパルス信号 Φ_{clk} より後に与えるように、遅延回路2213によって遅延されている。ライトデータマスク信号ドライブ回路2226は、レジスタ回路2224の出力ライトデータ制御信号 ed と、レジスタ回路2025の出力ライトデータ制御信号 od とによって、奇数番目の出力データ制御信号 DME_i ($i=U, L$)と、偶数番目の出力データ制御信号 DMO_i ($i=U, L$)を並列に、それぞれ対応する図示しないライトデータ制御回路に供給する。ライトデータ制御回路では、与えられたデータ制御信号 DME_i 、 DMO_i に応じて、それぞれ図示しない偶数(even)番目のデータバス DBE_i と、奇数(odd)番目のデータバス DBO_i から供給される入力データの、記憶セル(不図示)への書き込みを制御(例えばマスク)する。

【0014】なお、図84(a)における各レジスタ回路2222、2223、2224、2225はすべて図84(b)のレジスタ回路223によって示される同じ回路構成を有している。レジスタ回路223は、インバーターI1と、ゲートG1、G2と、ラッチL1、L2とを有し、入力データINを、外部クロック信号Φの立ち下がりに応じてゲートG1を開いてラッチ回路L1にラッチし、ラッチ回路L1にラッチされたデータを、外部クロック信号Φの立ち上がりに応じてゲートG2を開いてラッチ回路L2にラッチすることによって、1ビットのデータを、外部クロック信号Φの1周期間保持する。

【0015】次に、2ビットプリフェッチ型SDRAMからなる半導体記憶装置の第4の従来例を説明する。図86及び図87は、第4の従来例の電氣的構成を示すブロック図、図88は、第4の従来例の動作を説明するタイミングチャートである。この第4の従来例の半導体記憶装置は、図86及び図87に示すように、クロック信号回路231と、ライトデータマスク回路232とから概略構成されている。クロック信号回路231は、図86に示すように、入力バッファ2311と、分周回路2312と、ライズ遷移パルス発生回路2313と、遅延回路2314と、1周期遅延回路2315と、分周回路2316と、ライズ遷移パルス発生回路2317とを有している。ライトデータマスク回路232は、図87

(a)に示すように、入力バッファ2321と、レジスタ回路2322、2323、2324、2325と、ライトデータマスク信号ドライブ回路2326とを有している。

【0016】次に、図86乃至図88を参照して、2ビットプリフェッチ型SDRAMからなる半導体記憶装置の第4の従来例の動作を説明する。図86に示すクロック信号回路231において、分周回路2312は、外部から入力バッファ2311を経て入力されたクロック信号CLKを2分周する。ライズ遷移パルス発生回路2313は、分周回路2312の出力信号の立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号Φclkを発生する。遅延回路2314は、分周回路2312の出力信号を所定時間遅延させる。ライズ遷移パルス発生回路2313は、遅延回路2314の出力信号の立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号Φclkdinを発生する。また、1周期遅延回路2315は、入力バッファ2311の出力信号を、1周期遅延させ、分周回路2316は、1周期遅延回路2315の出力信号を2分周する。ライズ遷移パルス発生回路2317は、分周回路2316から出力された信号の立ち上がり（ライズ）エッジを検出してワンショットパルス信号Φ/c1kを発生する。

【0017】図87(a)に示すライトデータマスク回路232において、レジスタ回路2322は、入力バッ

ファ2321を経て入力されたデータ入力信号DMiを、2分周されたクロック信号CLKのライズ遷移によって発生したワンショットパルス信号Φclkに応じて取り込む。また、レジスタ回路2323は、入力バッファ2321の出力信号を、1周期遅延され2分周されたクロック信号CLKのライズ遷移によって発生したワンショットパルス信号Φ/c1kに応じて取り込む。次にレジスタ回路2324、2325は、クロック信号CLKの2サイクルごとに発生する遅延されたワンショットパルス信号Φclkdinに応じて、それぞれレジスタ回路2322、2323のデータと同時に取り込む。この際、ミスラッチを防止するために、ワンショットパルス信号Φclkdinは、ワンショットパルス信号Φclkより、後に与えられるように遅延されている。ライトデータマスク信号ドライブ回路2326は、レジスタ回路2324の出力データedと、レジスタ回路2325の出力データodとを並列に、それぞれ対応する図示しないライトデータ制御回路に供給する。ライトデータ制御回路では、与えられたデータ制御信号DMEi、DMOiに応じて、それぞれ図示しない偶数(even)番目のデータバスDBEiと、奇数(odd)番目のデータバスDBOiから供給される入力データの、記憶セル(不図示)への書き込みを制御(例えばマスク)する。

【0018】なお、図87(a)におけるレジスタ回路2322、2323、2324、2325は、すべて、図87(b)のレジスタ回路233によって示される同じ回路構成を有している。レジスタ回路233は、図78(b)に示されたレジスタ回路203と同じ構成、機能を有している。

【0019】次に、2ビットプリフェッチ型SDRAMからなる半導体記憶装置における第5の従来例を説明する。図89は、第5の従来例の電氣的構成を示すブロック図である。第5の従来例は、同図に示すように、クロック信号回路241と、中間バッファ242と、データイン回路243と、ライトデータマスク回路244とから概略構成されている。クロック信号回路241は、図77に示された第1の従来例におけるクロック信号回路201と同様の構成、機能を有している。クロック信号回路241の出力信号であるワンショットパルス信号Φclk及びΦclkdinは、中間バッファ242で増幅され、データイン回路243およびライトデータマスク回路244に供給される。データイン回路243は、図78(a)に示された第1の従来例におけるデータイン回路202と同様の機能を有し、ライトデータマスク回路244は、図84(a)に示された第3の従来例におけるライトデータマスク回路222と同様の機能を有している。データイン回路243は、ワンショットパルス信号Φclk及びΦclkdinのタイミングで、外部から供給されるデータ信号を取り込み、図示されない

データバスにデータを転送する。ライトデータマスク回路 244 は、ワンショットパルス信号 Φ_{clk} 及び $\Phi_{clk\,din}$ のタイミングで、外部から供給されるデータ制御信号を取り込み、図示されないデータ制御回路に供給する。図示されないデータ制御回路は、データ制御信号に従って、図示されないデータバスからの入力データの、記憶セルへの書き込みを制御（例えばマスク）する。

【0020】次に、2ビットプリフェッチ型 SDRAM からなる半導体記憶装置における第 6 の従来例を説明する。DDR 型 SDRAM では、外部クロック信号 CLK と、外部クロックの逆相信号 CLKB とを用いた相補信号に対して、動作が同期する。一方、従来の SDR 型 SDRAM では、クロック信号 CLK に動作が同期する。さらに、DDR 型 SDRAM では、データ書き込み動作時にはデータストロブ信号によりデータを取り込み、読み出し動作時にはデータとともに、タイミング信号であるデータストロブ信号を出力して、外部システムとの同期をとる。一方、従来の SDR 型 SDRAM では、クロック信号 CLK に対して、動作が同期するのみである。

【0021】

【発明が解決しようとする課題】しかしながら、上記各従来例の半導体記憶装置にあっては、データ処理速度を上げるためには、クロック信号 CLK を高速化が必要があるが、SDRAM を使用した実際のシステムでは、多数の SDRAM をモジュール基板上に搭載して使うことが多いため、クロック信号 CLK とデータ入力信号 DINi とのタイミングスキューの問題が顕著になるので、クロック信号 CLK の高速化は必ずしも容易ではない。このような問題が生じるのは、クロック信号 CLK のみを用いてデータ入力信号の制御（取り込み）を行っているからであり、これに対して近年において、ダブルデータレート型の DDR-SDRAM が提案され、現在、JEDEC (Joint Electron Device Engineering Council) における標準化が進められている。DDR-SDRAM においては、2ビットプリフェッチ方式を使用するが、データ入力信号の取り込みは、データストロブ信号 DS によって行われ、クロック信号 CLK の周期は、データ入力信号周期の 2 倍になっている。データストロブ信号 DS は、データ入力信号 DINi と同時に、図示されない中央処理装置 (CPU) で作成されるものであり、データストロブ信号 DS とデータ入力信号 DINi とを、等長の配線によって SDRAM に接続することによって、両者の間のタイミングスキューの問題が解消される。したがって、クロック信号の高速化の問題と、クロック信号とデータ入力信号のタイミングスキューの問題とを同時に解決することができる。ただし、データ入力信号をデータストロブ信号 DS によって取り込んだ後、クロック信号 CLK による制御に変換

する必要がある、この際の動作を確実に行うことが重要になる。

【0022】この発明は、上述の事情に鑑みてなされたものであって、DDR-SDRAM において、入力信号をデータストロブ信号の制御によって取り込んだ後、クロック信号の制御に変換する際のラッチマージンを十分確保することが可能な、半導体記憶装置を提供することを目的としている。

【0023】また、データストロブ信号 DS で取り込むデータ制御信号 DM に関しても、データ信号と同様に JEDEC で標準化が進められている。この場合もデータ信号と同様に、データ制御信号をデータストロブ信号 DS で取り込んだ後、クロック信号 CLK による制御に変換する動作を、確実に行うことが重要になる。さらに、従来方式でのクロック信号 CLK による、データ信号の取り込みおよびデータ制御信号の取り込みと、データストロブ信号による、データ信号の取り込みおよびデータ制御信号の取り込みとを切り替える構成とし、チップの内部動作を従来と同様の SDR に切り替える手段を提供することによって、チップ製造後において、チップ組立時、従来の SDR か、ダブルデータ型の DDR-SDRAM かを選択することが可能になる。これによって、需要に応じてチップを選択供給することが可能となるので、供給面において有益である。また、メモリセルの基本的性能評価などに、従来 SDR において蓄積された評価技術を用いることが可能となるので、生産面、コスト面において有益である。さらに、この切り替えを容易に行えるような制御手段、及び、切り替えを行ったことによるフローティングノードを電気的に固定する手段を設けることは、製品の品質と、信頼性を向上させることになる。

【0024】この発明は、上述の事情に鑑みてなされたものであって、DDR-SDRAM において、データ制御信号をデータストロブ信号の制御によって取り込んだ後、クロック信号の制御に変換する際のラッチマージンを十分確保することが可能な、半導体記憶装置を提供することを目的としている。また、従来の SDR 仕様のメモリと、DDR 仕様のメモリとの切り替えが可能な、半導体記憶装置を提供することを目的としている。さらに、その際、必要となる、フローティングノードの電気的固定および、内部クロック発生回路の動作切り替えを行うことが可能な、半導体記憶装置を提供することを目的としている。

【0025】

【課題を解決するための手段】上記課題を解決するために、請求項 1 記載の発明は、半導体記憶装置に係り、入力データの 2 個周期で出力されるデータストロブ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジとに応じて入力データを順次取り込む、従続接続された第 1 及び第 2 のデータ保持手

段を備え、該第1及び第2のデータ保持手段に取り込まれたデータを同時に取り出してクロック信号のタイミングで並列に記憶セルに書き込むように構成されていることを特徴としている。

【0026】また、請求項2記載の発明は、半導体記憶装置に係り、入力データの2個周期で出力されるデータストロブ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジとから生成した第1のワンショットパルス信号に応じて入力データを順次取り込む従続接続された第1の組の2個のデータ保持手段と、該第1の組の2個のデータ保持手段に取り込まれた2個のデータを前記第1のワンショットパルス信号の2倍の周期を有するタイミング信号に応じて同時に取り込む第2の組の2個のデータ保持手段と、該第2の組の2個のデータ保持手段に取り込まれた2個のデータをクロック信号の立ち上がり又は立ち下がりエッジから生成した第2のワンショットパルス信号に応じて同時に取り込む第3の組の2個のデータ保持手段とを備え、該第3の組の2個のデータ保持手段に取り込まれた2個のデータを並列に記憶セルに書き込むように構成されていることを特徴としている。

【0027】また、請求項3記載の発明は、請求項2記載の半導体記憶装置に係り、上記タイミング信号が上記第1のワンショットパルス信号より後に発生するように構成されていることを特徴としている。

【0028】また、請求項4記載の発明は、請求項2又は3記載の半導体記憶装置に係り、上記第2の組の2個のデータ保持手段がそれぞれレジスタ回路からなることを特徴としている。

【0029】また、請求項5記載の発明は、請求項4記載の半導体記憶装置に係り、上記タイミング信号がデータストロブ信号の立ち上がり又は立ち下がりエッジから遅延して生成されるとともに、上記第2のワンショットパルス信号がクロック信号の立ち上がり又は立ち下がりエッジから遅延して生成されるように構成されていることを特徴としている。

【0030】また、請求項6記載の発明は、請求項2又は3記載の半導体記憶装置に係り、上記第2の組の2個のデータ保持手段がそれぞれデータラッチ回路からなることを特徴としている。

【0031】また、請求項7記載の発明は、半導体記憶装置に係り、入力データの2個周期で出力されるデータストロブ信号の立ち上がり（又は立ち下がり）エッジに応じて入力データを取り込む第1のデータ保持手段と、該データストロブ信号の立ち下がり（又は立ち上がり）エッジに応じて入力データを取り込む第2のデータ保持手段とを備え、該第1及び第2のデータ保持手段に取り込まれたデータを同時に取り出してクロック信号のタイミングで並列に記憶セルに書き込むように構成されていることを特徴としている。

【0032】また、請求項8記載の発明は、半導体記憶装置に係り、入力データの2個周期で出力されるデータストロブ信号の立ち上がり（又は立ち下がり）エッジから生成した第1のワンショットパルス信号に応じて入力データを取り込む第1のデータ保持手段と、該データストロブ信号の立ち下がり（又は立ち上がり）エッジから生成した第2のワンショットパルス信号に応じて入力データを取り込む第2のデータ保持手段とからなる第1の組の2個のデータ保持手段と、該第1の組の2個のデータ保持手段に取り込まれた2個のデータを上記第1又は第2のワンショットパルス信号と同じ周期を有するタイミング信号に応じて同時に取り込む第2の組の2個のデータ保持手段と、該第2の組の2個のデータ保持手段に取り込まれた2個のデータをクロック信号の立ち上がり又は立ち下がりエッジから生成した第3のワンショットパルス信号に応じて同時に取り込む第3の組の2個のデータ保持手段とを備え、該第3の組の2個のデータ保持手段に取り込まれた2個のデータを並列に記憶セルに書き込むように構成されていることを特徴としている。

【0033】また、請求項9記載の発明は、請求項8記載の半導体記憶装置に係り、上記タイミング信号が上記第1又は第2のワンショットパルス信号より後に発生するように構成されていることを特徴としている。

【0034】また、請求項10記載の発明は、請求項8又は9記載の半導体記憶装置に係り、上記第2の組の2個のデータ保持手段がそれぞれレジスタ回路からなることを特徴としている。

【0035】また、請求項11記載の発明は、請求項10記載の半導体記憶装置に係り、上記タイミング信号が上記第1又は第2のワンショットパルス信号から遅延して生成されるとともに、上記第3のワンショットパルス信号がクロック信号の立ち上がり又は立ち下がりエッジから遅延して生成されるように構成されていることを特徴としている。

【0036】また、請求項12記載の発明は、請求項8又は9記載の半導体記憶装置に係り、上記第2の組の2個のデータ保持手段がそれぞれデータラッチ回路からなることを特徴としている。

【0037】また、請求項13記載の発明は、半導体記憶装置に係り、入力制御信号の2個周期で出力されるデータストロブ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジとに応じて入力制御信号を順次取り込む、従続接続された第1及び第2の制御信号保持手段を備え、該第1及び第2の制御信号保持手段に取り込まれた制御信号を同時に取り出してクロック信号のタイミングで並列にデータ制御を行うように構成されていることを特徴としている。

【0038】また、請求項14記載の発明は、半導体記憶装置に係り、入力制御信号の2個周期で出力されるデ

ータストローブ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジとから生成した第1のワンショットパルス信号に応じて入力制御信号を順次取り込む従続接続された第1の組の2個の制御信号保持手段と、該第1の組の2個の制御信号保持手段に取り込まれた2個の制御信号を上記第1のワンショットパルス信号の2倍の周期を有するタイミング信号に応じて同時に取り込む第2の組の2個の制御信号保持手段と、該第2の組の2個の制御信号保持手段に取り込まれた2個の制御信号をクロック信号の立ち上がり（又は立ち下がり）エッジから生成した第2のワンショットパルス信号に応じて同時に取り込む第3の組の2個の制御信号保持手段とを備え、該第3の組の2個の制御信号保持手段に取り込まれた2個の制御信号で並列にデータ制御を行うように構成されていることを特徴としている。

【0039】また、請求項15記載の発明は、請求項14記載の半導体記憶装置に係り、上記タイミング信号が上記第1のワンショットパルス信号より後に発生するように構成されていることを特徴としている。

【0040】また、請求項16記載の発明は、請求項14又は15記載の半導体記憶装置に係り、上記第2の組の2個の制御信号保持手段がそれぞれレジスタ回路からなることを特徴としている。

【0041】また、請求項17記載の発明は、請求項16記載の半導体記憶装置に係り、上記タイミング信号がデータストローブ信号の立ち上がり又は立ち下がりエッジから遅延して生成されるとともに、上記第2のワンショットパルス信号がクロック信号の立ち上がり又は立ち下がりエッジから遅延して生成されるように構成されていることを特徴としている。

【0042】また、請求項18記載の発明は、請求項14又は15記載の半導体記憶装置に係り、上記第2の組の2個の制御信号保持手段がそれぞれデータラッチ回路からなることを特徴としている。

【0043】また、請求項19記載の発明は、半導体記憶装置に係り、入力制御信号の2個周期で出力されるデータストローブ信号の立ち上がり（又は立ち下がり）エッジに応じて入力制御信号を取り込む第1のデータ保持手段と、該データストローブ信号の立ち下がり（又は立ち上がり）エッジに応じて入力制御信号を取り込む第2のデータ保持手段とを備え、該第1及び第2のデータ保持手段に取り込まれた制御信号を同時に取り出してクロック信号のタイミングで並列にデータ制御を行うように構成されていることを特徴としている。

【0044】また、請求項20記載の発明は、半導体記憶装置に係り、入力制御信号の2個周期で出力されるデータストローブ信号の立ち上がり（又は立ち下がり）エッジから生成した第1のワンショットパルス信号に応じて入力制御信号を取り込む第1の制御信号保持手段と、該データストローブ信号の立ち下がり（又は立ち上

り）エッジから生成した第2のワンショットパルス信号に応じて入力制御信号を取り込む第2の制御信号保持手段とからなる第1の組の2個の制御信号保持手段と、該第1の組の2個の制御信号保持手段に取り込まれた2個の制御信号を前記第1又は第2のワンショットパルス信号と同じ周期を有するタイミング信号に応じて同時に取り込む第2の組の2個の制御信号保持手段と、該第2の組の2個の制御信号保持手段に取り込まれた2個の制御信号をクロック信号の立ち上がり又は立ち下がりエッジから生成した第3のワンショットパルス信号に応じて同時に取り込む第3の組の2個の制御信号保持手段とを備え、該第3の組の2個の制御信号保持手段に取り込まれた2個の制御信号で並列にデータ制御を行うように構成されていることを特徴としている。

【0045】また、請求項21記載の発明は、請求項20記載の半導体記憶装置に係り、上記タイミング信号が上記第1又は第2のワンショットパルス信号より後に発生するように構成されていることを特徴としている。

【0046】また、請求項22記載の発明は、請求項20又は21記載の半導体記憶装置に係り、上記第2の組の2個の制御信号保持手段がそれぞれレジスタ回路からなることを特徴としている。

【0047】また、請求項23記載の発明は、請求項22記載の半導体記憶装置に係り、上記タイミング信号が上記第1又は第2のワンショットパルス信号から遅延して生成されるとともに、上記第3のワンショットパルス信号がクロック信号の立ち上がり又は立ち下がりエッジから遅延して生成されるように構成されていることを特徴としている。

【0048】また、請求項24記載の発明は、請求項20又は21記載の半導体記憶装置に係り、上記第2の組の2個の制御信号保持手段がそれぞれデータラッチ回路からなることを特徴としている。

【0049】また、請求項25記載の発明は、請求項13乃至24のいずれか1に記載の半導体記憶装置に係り、上記制御信号によるデータ制御が、記憶セルに書き込むデータのマスク制御であることを特徴としている。

【0050】また、請求項26記載の発明は、請求項1乃至25のいずれか1に記載の半導体記憶装置に係り、上記クロック信号から該クロック信号又はその分周信号の立ち上がり又は立ち下がりエッジを検出して第1のワンショットパルス信号を発生するクロック信号回路と、入力データ又は入力制御信号の2個周期で出力されるデータストローブ信号から、該データストローブ信号の立ち上がり及び立ち下がりエッジを検出した第2のワンショットパルス信号と、該データストローブ信号の立ち上がり又は立ち下がりエッジを検出したワンショットパルス信号を遅延した第1のタイミング信号とを発生するデータストローブ信号回路と、上記クロック信号回路とデータストローブ信号回路のそれぞれの出力信号から、モ

ード制御信号に応じて、上記半導体記憶装置のデータイン回路又はライトデータマスク回路に対するそれぞれの制御用タイミング信号を生成する中間バッファとを備え、該中間バッファからの上記制御用タイミング信号によって、上記データイン回路とライトデータマスク回路における、クロック信号に基づく入力データ又は入力制御信号の処理と、上記データストローブ信号に基づく入力データ又は入力制御信号の処理とを切り替えることを特徴としている。

【0051】請求項27記載の発明は、請求項26記載の半導体記憶装置に係り、上記中間バッファが、上記第1のタイミング信号と、タイミング切り替え信号に応じて、上記第1のワンショットパルス信号と第2のワンショットパルス信号とを切り替えた第2のタイミング信号と、上記モード制御信号に応じて出力される前記第1のワンショットパルス信号を遅延した第3のタイミング信号とを、上記制御用タイミング信号として生成するように構成されていることを特徴としている。

【0052】また、請求項28記載の発明は、請求項1乃至25のいずれか1に記載の半導体記憶装置に係り、上記クロック信号から該クロック信号又はその分周信号の立ち上がり又は立ち下がりエッジを検出して第1のワンショットパルス信号を発生するクロック信号回路と、入力データ又は入力制御信号の2個周期で並列に出力される2系列のデータストローブ信号における第1の系列のデータストローブ信号から、該データストローブ信号の立ち上がり及び立ち下がりエッジを検出した第2のワンショットパルス信号と、該データストローブ信号の立ち上がり又は立ち下がりエッジを検出したワンショットパルス信号を遅延した第1のタイミング信号とを発生する第1のデータストローブ信号回路と、入力データ又は入力制御信号の2個周期で並列に出力される2系列のデータストローブ信号における第2の系列のデータストローブ信号から、該データストローブ信号の立ち上がり及び立ち下がりエッジを検出した第2のワンショットパルス信号と、該データストローブ信号の立ち上がり又は立ち下がりエッジを検出したワンショットパルス信号を遅延した第1のタイミング信号とを発生する第2のデータストローブ信号回路と、上記クロック信号回路と第1及び第2のデータストローブ信号回路のそれぞれの出力信号から、モード制御信号に応じて、複数のデータイン回路又はライトデータマスク回路に対する、上記2系列のデータストローブ信号に対応するそれぞれの制御用タイミング信号を生成する中間バッファとを備え、該中間バッファからの上記制御用タイミング信号によって、上記データイン回路とライトデータマスク回路における、クロック信号に基づく入力データ又は入力制御信号の処理と、上記データストローブ信号に基づく入力データ又は入力制御信号の処理とを切り替えることを特徴としている。

【0053】請求項29記載の発明は、請求項28記載の半導体記憶装置に係り、上記中間バッファが、上記第1の系列の第1のタイミング信号と、ビット指定信号に応じて第1の系列の第1のタイミング信号と第2の系列の第1のタイミング信号とを切り替えた第2の系列の第1のタイミング信号と、モード制御信号に応じて上記第1のワンショット信号と第1の系列の第2のワンショット信号とを切り替えた第1の系列の第2のタイミング信号と、ビット指定信号とモード制御信号とに応じて上記第1のワンショットパルス信号と第1の系列の第2のワンショットパルス信号とを切り替えた第2の系列の第2のタイミング信号と、上記モード制御信号に応じて出力される上記第1のワンショットパルス信号を遅延した第3のタイミング信号とを、上記制御用タイミング信号として生成するように構成されていることを特徴としている。

【0054】また、請求項30記載の発明は、請求項26乃至29のいずれか1に記載の半導体記憶装置に係り、上記中間バッファが、それぞれの出力タイミング信号を増幅するとともに、上記各データイン回路及びライトデータマスク回路におけるすべてのレジスタ回路及びデータラッチ回路への出力タイミング信号のスキューが最小になるような位置に配置されていることを特徴としている。

【0055】また、請求項31記載の発明は、請求項26乃至29のいずれか1に記載の半導体記憶装置に係り、上記第3のタイミング信号に対する遅延量が可変であることを特徴としている。

【0056】また、請求項32記載の発明は、請求項27又は29記載の半導体記憶装置に係り、上記モード制御信号が、外部コマンドに基づく第1のコマンドデコードからの禁止信号が出力されていないとき、外部からのボンディングオプション指示信号に基づいて出力されるとともに、外部コマンドに基づいて上記第1のコマンドデコードが上記禁止信号を出力した状態で該第1のコマンドデコードから出力され、該第1のコマンドデコードは、外部コマンドに基づいて第2のコマンドデコードがテスト信号を出力する状態で、該第2のコマンドデコードからのリセット信号によって初期化されるように構成されていることを特徴としている。

【0057】また、請求項33記載の発明は、請求項32記載の半導体記憶装置に係り、上記ボンディングオプション指示信号が、当該半導体記憶装置のパッケージ組み立て時に与えられることを特徴としている。

【0058】また、請求項34記載の発明は、請求項26乃至33のいずれか1に記載の半導体記憶装置に係り、上記モード制御信号に応じて、レベルシフタを介してゲートに制御電圧を付与されるトランジスタを備え、該モード制御信号に応じてフローティングノードとなる当該半導体記憶装置の入力端子に、上記トランジスタを

介して固定電位を付与するように構成されていることを特徴としている。

【0059】また、請求項35記載の発明は、請求項34記載の半導体記憶装置に係り、上記固定電位が、上記入力端子の参照電位であることを特徴としている。

【0060】さらにまた、請求項36記載の発明は、請求項32乃至33のいずれかに記載の半導体記憶装置に係り、前記モード制御信号に従い、読み出し動作時には半導体記憶装置がデータストローブ信号を供給するように構成されていることを特徴としている。

【0061】

【作用】この発明の構成では、入力データの2個周期で出力されるデータストローブ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジとから生成した第1のワンショットパルス信号に応じて入力データを従続接続された第1の組の2個のデータ保持手段に順次取り込み、第1の組の2個のデータ保持手段に取り込まれた2個のデータを上記第1のワンショットパルス信号の2倍の周期を有するタイミング信号に応じて第2の組の2個のデータ保持手段に同時に取り込み、第2の組の2個のデータ保持手段に取り込まれた2個のデータをクロック信号の立ち上がり又は立ち下がりエッジから生成した第2のワンショットパルス信号に応じて第3の組の2個のデータ保持手段に同時に取り込んで、第3の組の2個のデータ保持手段に取り込まれた2個のデータを並列に記憶セルに書き込むようにしたので、第1のワンショットパルス信号と第2のワンショットパルス信号とに対するタイミングの調整によって、入力データをデータストローブ信号DSの制御で取り込んだ後、クロック信号CLKの制御に変換する際のラッチマージンを容易に確保することができる。

【0062】また、この発明の別の構成では、入力データの2個周期で出力されるデータストローブ信号の立ち上がり（又は立ち下がり）エッジから生成した第1のワンショットパルス信号に応じて入力データを第1のデータ保持手段に取り込むとともに、データストローブ信号の立ち下がり（又は立ち上がり）エッジから生成した第2のワンショットパルス信号に応じて入力データを第2のデータ保持手段に取り込み、第1のデータ保持手段と第2のデータ保持手段とに取り込まれた2個のデータを上記第1又は第2のワンショットパルス信号と同じ周期を有するタイミング信号に応じて第2の組の2個のデータ保持手段に同時に取り込み、第2の組の2個のデータ保持手段に取り込まれた2個のデータをクロック信号の立ち上がり又は立ち下がりエッジから生成した第3のワンショットパルス信号に応じて第3の組の2個のデータ保持手段に同時に取り込んで、第3の組の2個のデータ保持手段に取り込まれた2個のデータを並列に記憶セルに書き込むようにしたので、第1のワンショットパルス信号及び第2のワンショットパルス信号と第3のワンシ

ョットパルス信号とに対するタイミングの調整によって、入力データをデータストローブ信号DSの制御で取り込んだ後、クロック信号CLKの制御に変換する際のラッチマージンを容易に確保することができる。

【0063】また、この発明の別の構成では、入力制御信号の2個周期で出力されるデータストローブ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジとから生成した第1のワンショットパルス信号に応じて入力制御信号を従続接続された第1の組の2個の制御信号保持手段に順次取り込み、第1の組の2個の制御信号保持手段に取り込まれた2個の制御信号を上記第1のワンショットパルス信号の2倍の周期を有するタイミング信号に応じて第2の組の2個の制御信号保持手段に同時に取り込み、第2の組の2個の制御信号保持手段に取り込まれた2個の制御信号をクロック信号の立ち上がり又は立ち下がりエッジから生成した第2のワンショットパルス信号に応じて第3の組の2個の制御信号保持手段に同時に取り込んで、第3の組の2個の制御信号保持手段に取り込まれた2個の制御信号を並列に記憶セルに書き込むようにしたので、第1のワンショットパルス信号と第2のワンショットパルス信号とに対するタイミングの調整によって、入力制御信号をデータストローブ信号DSの制御で取り込んだ後、クロック信号CLKの制御に変換する際のラッチマージンを容易に確保することができる。

【0064】また、この発明の別の構成では、入力制御信号の2個周期で出力されるデータストローブ信号の立ち上がり（又は立ち下がり）エッジから生成した第1のワンショットパルス信号に応じて入力制御信号を第1の制御信号保持手段に取り込むとともに、データストローブ信号の立ち下がり（又は立ち上がり）エッジから生成した第2のワンショットパルス信号に応じて入力制御信号を第2の制御信号保持手段に取り込み、第1の制御信号保持手段と第2の制御信号保持手段とに取り込まれた2個の制御信号を上記第1又は第2のワンショットパルス信号と同じ周期を有するタイミング信号に応じて第2の組の2個の制御信号保持手段に同時に取り込み、第2の組の2個の制御信号保持手段に取り込まれた2個の制御信号をクロック信号の立ち上がり又は立ち下がりエッジから生成した第3のワンショットパルス信号に応じて第3の組の2個の制御信号保持手段に同時に取り込んで、第3の組の2個の制御信号保持手段に取り込まれた2個の制御信号を並列に記憶セルに書き込むようにしたので、第1のワンショットパルス信号及び第2のワンショットパルス信号と第3のワンショットパルス信号とに対するタイミングの調整によって、入力制御信号をデータストローブ信号DSの制御で取り込んだ後、クロック信号CLKの制御に変換する際のラッチマージンを容易に確保することができる。

【0065】また、この発明の別の構成では、入力デー

タの2個周期で出力されるデータストローブ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジから生成した第1のワンショットパルス信号に応じて取り込まれた入力データ信号を、前記タイミングで取り込まれた制御信号によりデータの書き込みを制御する際に、データストローブ信号DSの制御によって取り込まれた入力データを、クロック信号CLKの制御に変換するときのラッチマージンを確保することができる。また、同時に、複数のデータ信号を複数の制御信号により、別々に書き込み制御を行うことができる。

【0066】また、この発明の別の構成では、入力データの2個周期で出力されるデータストローブ信号の立ち上がり（又は立ち下がり）エッジから生成した第1のワンショットパルス信号に応じて取り込まれた入力データ信号を、前記タイミングで取り込まれた制御信号によりデータの書き込みを制御する際に、データストローブ信号DSの制御によって取り込まれた入力データを、クロック信号CLKの制御に変換するときのマージンを確保することができる。また、同時に、複数のデータ信号を複数の制御信号により、別々に書き込み制御を行うことができる。

【0067】また、この発明の別の構成では、入力データの2個周期で出力されるデータストローブ信号の立ち上がり（又は立ち下がり）エッジと立ち下がり（又は立ち上がり）エッジから生成した第1のワンショットパルスを第2のワンショットパルスに切り替えるとともに、第2のワンショットパルスを分周回路で遅延すること、従来のSDR型半導体記憶装置の入力データタイミングでのデータの取り込みを可能とし、さらに従来のSDR型半導体記憶装置の制御タイミングで制御信号の取り込みを可能とする。また、SDR型半導体記憶装置とDDR型半導体記憶装置とを切り替えた際に、フローティングノードとなる入力端子を電気的に固定し、チップの誤動作又は破壊を防止することができる。さらに、同期クロック発生回路の動作を切り替え、出力データ信号のタイミング信号であるデータストローブ信号を制御する。以上のことにより、SDR型半導体記憶装置とDDR型半導体記憶装置との切り替えが容易となり、チップを需要に応じて出荷することが可能となり、さらにはメモリセルの基本特性評価など、従来、SDR型半導体記憶装置で蓄積された評価技術を、DDR型半導体記憶装置に適用利用することが容易になる。

【0068】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は、実施例を用いて具体的に示す。

◇第1実施例

図1及び図2は、この発明の第1実施例である半導体記

憶装置の電気的構成を示すブロック図、図3は、第1実施例の動作を説明するタイミングチャート、図4は、データストローブ信号のタイミングが最も早い場合のラッチマージンの説明図、図5は、データストローブ信号のタイミングが最も遅い場合のラッチマージンの説明図である。この第1実施例の半導体記憶装置は、図1及び図2に示すように、データストローブ信号回路11と、クロック信号回路12と、データイン回路13とから概略構成されている。

【0069】データストローブ信号回路11は、図1

(a)に示すように、入力バッファ111と、ライズ/フォール遷移パルス発生回路112と、フォール遷移パルス発生回路113とを有している。入力バッファ111は、データストローブ信号DSを、ライズ/フォール遷移パルス発生回路112と、フォール遷移パルス発生回路113に供給する。ライズ/フォール遷移パルス発生回路112は、入力バッファ111の出力信号の立ち上がり（ライズ）エッジと立ち下がり（フォール）エッジとを検出して、ワンショットパルス信号 $\Phi ds eo$ を発生する。フォール遷移パルス発生回路113は、入力バッファ111の出力信号の立ち下がり（フォール）エッジを検出して、ワンショットパルス信号 $\Phi ds od$ を発生する。

【0070】クロック信号回路12は、図1(b)に示すように、入力バッファ121と、ライズ遷移パルス発生回路122とを有している。入力バッファ121は、クロック信号CLKをライズ遷移パルス発生回路122に供給する。ライズ遷移パルス発生回路122は、入力バッファ121の出力信号の立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号 $\Phi clk in$ を発生する。

【0071】データイン回路13は、図2(a)に示すように、入力バッファ131と、レジスタ回路132、133、134、135、136、137と、データバスドライブ回路138とを有している。入力バッファ131は、データ入力信号 DIN_i ($i=1\sim 8$)をレジスタ回路132に供給する。レジスタ回路132は、入力バッファ131の出力信号を、ワンショットパルス信号 $\Phi ds eo$ に応じて取り込む。レジスタ回路133は、レジスタ回路132の出力信号を、次のワンショットパルス信号 $\Phi ds eo$ に応じて取り込む。レジスタ回路134、135は、それぞれレジスタ回路132、133の出力信号を、ワンショットパルス信号 $\Phi ds od$ に応じて取り込んで、それぞれ出力信号 $ed1$ 、 $od1$ を発生する。また、レジスタ回路136、137は、それぞれレジスタ回路134、135の出力信号を、ワンショットパルス信号 $\Phi clk in$ に応じて取り込んで、それぞれ出力信号 $ed2$ 、 $od2$ を発生する。データバスドライブ回路138は、レジスタ回路136の出力データ $ed2$ と、レジスタ回路137の出力データ $od2$ と、

d2とを並列に、それぞれ偶数番目のデータバスDBE_i ($i=1\sim 8$)と、奇数番目のデータバスDBO_i ($i=1\sim 8$)とに供給し、これによって、入力データが図示されない記憶セルに書き込まれる。

【0072】ここで、レジスタ回路132, 133, 134, 135, 136, 137は、すべて、図2(b)のレジスタ回路14によって示される同じ回路構成を有している。レジスタ回路14は、図78(b)に示されたレジスタ回路203と同じ構成、機能を有している。

【0073】次に、図1乃至図5を参照して、この例の半導体記憶装置の動作について説明する。図1(a)に示すデータストローブ信号回路11では、データストローブ信号DSの立ち上がり(ライズ)エッジと立ち下がり(フォール)エッジとを検出して、ワンショットパルス信号 Φ_{dse} を発生し、また、データストローブ信号DSの立ち下がり(フォール)エッジを検出して、ワンショットパルス信号 Φ_{dsd} を発生する。一方、図1(b)に示すクロック信号回路12では、クロック信号CLKの立ち上がり(ライズ)エッジを検出して、ワンショットパルス信号 Φ_{clk} を発生する。

【0074】図2(a)に示すデータイン回路13において、データストローブ信号DSのライズ/フォール遷移検出によって発生したワンショットパルス信号 Φ_{dse} によって、データ入力DIN_iをレジスタ回路132, 133に順次1個ずつ取り込む。次にレジスタ回路132, 133に取り込まれた2個分のデータを、データストローブ信号DSの立ち下がり(フォール)遷移検出によって発生したワンショットパルス信号 Φ_{dsd} によって、レジスタ回路134, 135に同時に取り込む。この際、ミ斯拉ッチを避けるため、ワンショットパルス信号 Φ_{dsd} は、ワンショットパルス信号 Φ_{dse} より後に発生するように遅延されている。その後、レジスタ回路134, 135に取り込まれたデータed1, od1を、クロック信号CLKのライズ遷移検出によって発生したワンショットパルス信号 Φ_{clk} によって、次のレジスタ回路136, 137へ転送する。クロック信号CLKとデータストローブ信号DSとのタイミング差を示す規格tDQSSは、クロック周期をtCKとしたとき、例えば、0.75tCK(tDQSS最小)~1.25tCK(tDQSS最大)の範囲である。したがって、図4, 図5に示すように、0.75tCKと1.25tCKの2つの場合において、ミ斯拉ッチに対するマージンの確保が必要であるが、この例では、ワンショットパルス信号 Φ_{dsd} 発生部と、ワンショットパルス信号 Φ_{clk} 発生部との信号発生タイミングの選択によって、図4においては、データストローブ信号のタイミングが最も早い状態でもラッチマージンが確保されており、図5においては、データストローブ信号のタイミングが最も遅い状態でもラッチマージンが確保されることが示されている。

【0075】このように、この例の半導体記憶装置の構成によれば、データストローブ信号DSの制御によって取り込まれた入力データを、クロック信号CLKの制御に変換する際のラッチマージンを確保することができる。この例では、クロック信号CLKとデータストローブ信号DSとのタイミング差を示す規格tDQSSが基準値(1tCK)に比較的近い場合に対応可能である。さらに、この例では、クロック信号CLKによる制御も、ワンショットパルス信号 Φ_{clk} によって行うことで、クロック信号CLKのデューティに対する依存性を解消することができる。

【0076】◇第2実施例

図6及び図7は、この発明の第2実施例である半導体記憶装置の電氣的構成を示すブロック図である。この第2実施例の半導体記憶装置は、同図に示すように、データストローブ信号回路21と、クロック信号回路22と、データイン回路23とから概略構成されている。

【0077】データストローブ信号回路21は、図6(a)に示すように、入力バッファ211と、ライズ/フォール遷移パルス発生回路212と、フォール遷移パルス発生回路213とを有している。入力バッファ211, ライズ/フォール遷移パルス発生回路212, フォール遷移パルス発生回路213は、それぞれ、図1(a)に示された入力バッファ111, ライズ/フォール遷移パルス発生回路112, フォール遷移パルス発生回路213と同じ構成、機能を有している。したがって、データストローブ信号回路21は、第1実施例の場合のデータストローブ信号回路11と同じ機能を有している。

【0078】クロック信号回路22は、図6(b)に示すように、入力バッファ221と、ライズ遷移パルス発生回路222と、遅延回路223と、分周回路224と、ライズ遷移パルス発生回路225と、スイッチ回路226とを有している。入力バッファ221, ライズ遷移パルス発生回路225は、それぞれ、図1(b)に示された入力バッファ121, ライズ遷移パルス発生回路122と同じ構成、機能を有し、入力バッファ221, ライズ遷移パルス発生回路222, 遅延回路223, 分周回路224, ライズ遷移パルス発生回路225は、それぞれ、図76に示された入力バッファ2011, ライズ遷移パルス発生回路2012, 遅延回路2013, 分周回路2014, ライズ遷移パルス発生回路2015と同じ構成、機能を有している。したがって、クロック信号回路22は、スイッチ回路226が図示の接続状態では、第1実施例の場合のクロック信号回路12と同じ機能を有し、スイッチ回路226が図示と反対の接続状態では、第1の従来例の場合のクロック信号回路201と同じ機能を有している。

【0079】また、データイン回路23は、図7に示すように、入力バッファ231と、レジスタ回路232,

233, 234, 235, 236, 237と、データバスドライブ回路238と、スイッチ回路239, 2310, 2311とを有している。入力バッファ231, レジスタ回路232, 233, 234, 235, 236, 237, データバスドライブ回路238は、それぞれ、図2(a)に示された入力バッファ131, レジスタ回路132, 133, 134, 135, 136, 137, データバスドライブ回路138と同じ構成、機能を有し、入力バッファ231, レジスタ回路232, 233, 236, 237, データバスドライブ回路238は、それぞれ、図78(a)に示された入力バッファ2021, レジスタ回路2022, 2023, 2024, 2025, データバスドライブ回路2026と同じ構成、機能を有している。したがって、データイン回路23は、スイッチ回路239, 2310, 2311が図示の接続状態では、第1実施例の場合のデータイン回路13と同じ機能を有し、スイッチ回路239, 2310, 2311が図示と反対の接続状態では、第1の従来例の場合のデータイン回路202と同じ機能を有している。

【0080】このように、この例の半導体記憶装置の構成によれば、スイッチ回路226, 239, 2310, 2311の切り換え状態に応じて、第1実施例の場合の動作と、第1の従来例の場合の動作とを切り換えて行なうことができる。スイッチ回路226, 239, 2310は、ボンディングオプションで設定することによって、上記のいずれかの状態に固定的に切り換えることができる。したがって、この例によれば、第1実施例の場合と第1の従来例の場合との2つの品種の半導体記憶装置のいずれかを任意に選択して容易に実現できるので、半導体記憶装置を組み込むべき装置品種切り換えの過渡期における、半導体記憶装置の生産計画上有利である。

【0081】◇第3実施例

図8及び図9は、この発明の第3実施例である半導体記憶装置の電気的構成を示すブロック図、図10は、第3実施例の動作を説明するタイミングチャート、図11は、データストロープ信号のタイミングが最も早い場合のラッチマージンの説明図、図12は、データストロープ信号のタイミングが最も遅い場合のラッチマージンの説明図である。この第3実施例の半導体記憶装置は、図8及び図9に示すように、データストロープ信号回路31と、クロック信号回路32と、データイン回路33とから概略構成されている。

【0082】データストロープ信号回路31は、図8(a)に示すように、入力バッファ311と、ライズ/フォール遷移パルス発生回路312と、遅延回路313と、フォール遷移パルス発生回路314とを有している。入力バッファ311, ライズ/フォール遷移パルス発生回路312, フォール遷移パルス発生回路314は、それぞれ、図1(a)に示された入力バッファ11, ライズ/フォール遷移パルス発生回路112, フォール遷移パルス発生回路113と同じ構成、機能を有している。また、遅延回路313は、入力バッファ311の出力信号を所定時間遅延してフォール遷移パルス発生回路314に供給する。したがってこの例のデータストロープ信号回路31では、ワンショットパルス信号 Φ_{dse} に対するワンショットパルス信号 Φ_{dsd} の発生タイミングが、第1実施例の場合と比べて、所定時間遅れている。

【0083】クロック信号回路32は、図8(b)に示すように、入力バッファ321と、遅延回路322と、ライズ遷移パルス発生回路323とを有している。入力バッファ321, ライズ遷移パルス発生回路323は、それぞれ、図1(b)に示された入力バッファ121, ライズ遷移パルス発生回路122と同じ構成、機能を有している。遅延回路322は、入力バッファ321の出力信号を所定時間遅延してライズ遷移パルス発生回路323に供給する。したがって、この例のクロック信号回路32では、ワンショットパルス信号 Φ_{clk} の発生タイミングが、第1実施例の場合と比べて、所定時間遅れている。

【0084】データイン回路33は、図9に示すように、入力バッファ331と、レジスタ回路332, 333, 334, 335, 336, 337と、データバスドライブ回路338とを有している。入力バッファ331と、レジスタ回路332, 333, 334, 335, 336, 337と、データバスドライブ回路338とは、それぞれ、図2(a)に示された入力バッファ131と、レジスタ回路132, 133, 134, 135, 136, 137と、データバスドライブ回路138と、同じ構成、機能を有している。

【0085】次に、図8乃至図12を参照して、この例の半導体記憶装置の動作について説明する。図8(a)に示すデータストロープ信号回路31では、データストロープ信号DSの立ち上がり(ライズ)エッジと立ち下がり(フォール)エッジとを検出して、ワンショットパルス信号 Φ_{dse} を発生し、また、データストロープ信号DSを遅延した信号の立ち下がり(フォール)エッジを検出して、ワンショットパルス信号 Φ_{dsd} を発生する。一方、図8(b)に示すクロック信号回路32では、クロック信号CLKを遅延した信号の立ち上がり(ライズ)エッジを検出して、ワンショットパルス信号 Φ_{clk} を発生する。

【0086】図9に示すデータイン回路33において、データストロープ信号DSのライズ/フォール遷移検出によって発生したワンショットパルス信号 Φ_{dse} によって、データ入力DINIをレジスタ回路332, 333に順次1個ずつ取り込む。次にレジスタ回路332, 333に取り込まれた2個分のデータを、データストロープ信号DSの遅延信号の立ち下がり(フォール)遷移によって発生したワンショットパルス信号 Φ_{dsd}

dによって、レジスタ回路334、335に同時に取り込む。この際、ミ斯拉ッチを避けるため、ワンショットパルス信号 $\Phi dsod$ は、ワンショットパルス信号 $\Phi dseo$ より後に発生するように遅延されている。その後、レジスタ回路334、335に取り込まれたデータ $ed1$ 、 $od1$ を、クロック信号CLKのライズ遷移検出によって発生したワンショットパルス信号 $\Phi clk din$ によって、次のレジスタ回路336、337へ転送する。クロック信号CLKとデータストローブ信号DSとのタイミング差を示す規格 $tDQSS$ は、クロック周期を tCK としたとき、例えば、 $0.75tCK$ ($tDQSS$ 最小) $\sim 1.25tCK$ ($tDQSS$ 最大) の範囲である。したがって、図11、図12に示すように、 $0.75tCK$ と $1.25tCK$ の2つの場合において、ミ斯拉ッチに対するマージンの確保が必要であり、このためワンショットパルス信号 $\Phi dsod$ 発生部での遅延回路313の遅延量と、ワンショットパルス信号 $\Phi clk din$ 発生部での遅延回路322の遅延量とを最適値に調整する。これによって、図11においては、データストローブ信号のタイミングが最も早い状態でもラッチマージンが確保されており、図12においては、データストローブ信号のタイミングが最も遅い状態でもラッチマージンが確保されることが示されている。

【0087】このように、この例の半導体記憶装置の構成によれば、データストローブ信号DSの制御によって取り込まれた入力データを、クロック信号CLKの制御に変換する際のラッチマージンを確保することができる。この例では、ラッチマージン確保のための遅延回路の数が増加するが、これによってクロック信号CLKとデータストローブ信号DSとのタイミング差を示す規格 $tDQSS$ が大きい場合にも対応できるようになる。さらにこの例では、クロック信号CLKによる制御も、ワンショットパルス信号 $\Phi clk din$ によって行うことで、クロック信号CLKのデューティに対する依存性を解消することができる。

【0088】◇第4実施例

図13及び図14は、この発明の第4実施例である半導体記憶装置の電氣的構成を示すブロック図である。この第4実施例の半導体記憶装置は、同図に示すように、データストローブ信号回路41と、クロック信号回路42と、データイン回路43とから概略構成されている。

【0089】データストローブ信号回路41は、図13(a)に示すように、入力バッファ411と、ライズ/フォール遷移パルス発生回路412と、遅延回路413と、フォール遷移パルス発生回路414とを有している。入力バッファ411、ライズ/フォール遷移パルス発生回路412、遅延回路413、フォール遷移パルス発生回路414は、それぞれ、図8(a)に示された入力バッファ311、ライズ/フォール遷移パルス発生回路312、遅延回路313、フォール遷移パルス発生回

路314と同じ構成、機能を有している。したがって、データストローブ信号回路41は、第3実施例のデータストローブ信号回路31と同じ機能を有している。

【0090】クロック信号回路42は、図13(b)に示すように、入力バッファ421と、ライズ遷移パルス発生回路422と、遅延回路423と、分周回路424と、ライズ遷移パルス発生回路425と、スイッチ回路426とを有している。入力バッファ421、遅延回路423、ライズ遷移パルス発生回路426は、それぞれ、図8(b)に示された入力バッファ321、遅延回路322、ライズ遷移パルス発生回路323と同じ構成、機能を有し、入力バッファ421、ライズ遷移パルス発生回路422、遅延回路423、分周回路424、ライズ遷移パルス発生回路425は、それぞれ、図77に示された入力バッファ2011、ライズ遷移パルス発生回路2012、遅延回路2013、分周回路2014、ライズ遷移パルス発生回路2015と同じ構成、機能を有している。したがって、クロック信号回路42は、スイッチ回路426が図示の接続状態では、第3実施例の場合のクロック信号回路32と同じ機能を有し、スイッチ回路425が図示と反対の接続状態では、第1の従来例の場合のクロック信号回路201と同じ機能を有している。

【0091】データイン回路43は、図14に示すように、入力バッファ431と、レジスタ回路432、433、434、435、436、237と、データバスドライバ回路438と、スイッチ回路439、4310、4311とを有している。入力バッファ431、レジスタ回路432、433、434、435、436、437、データバスドライバ回路438は、それぞれ、図9に示された入力バッファ331、レジスタ回路332、333、334、335、336、337、データバスドライバ回路338と同じ構成、機能を有し、入力バッファ431、レジスタ回路432、433、436、437、データバスドライバ回路438は、それぞれ、図78(a)に示された入力バッファ2021、レジスタ回路2022、2023、2024、2025、データバスドライバ回路2026と同じ構成、機能を有している。したがって、データイン回路43は、スイッチ回路439、4310、4311が図示の接続状態のとき、上述した第3実施例の場合のデータイン回路33と同じ機能を有し、スイッチ回路439、4310、4311が図示と反対の接続状態のとき、第1の従来例の場合のデータイン回路202と同じ機能を有している。

【0092】このように、この例の半導体記憶装置の構成によれば、スイッチ回路426、439、4310、4311の切り換え状態に応じて、第3実施例の場合の動作と、第1の従来例の場合の動作とを切り換えて行うことができる。スイッチ回路426、439、4310、4311は、ボンディングオプションで設定するこ

とによって、上記のいずれかの状態に固定的に切り換えることができることは、第2実施例の場合と同じである。

【0093】◇第5実施例

図15及び図16は、この発明の第5実施例である半導体記憶装置の電氣的構成を示すブロック図、図17は、第5実施例の動作を説明するタイミングチャート、図18は、データストロープ信号のタイミングが最も早い場合のラッチマージンの説明図、また、図19は、データストロープ信号のタイミングが最も遅い場合のラッチマージンの説明図である。この第5実施例の半導体記憶装置は、図15及び図16に示すように、データストロープ信号回路51と、クロック信号回路52と、データイン回路53とから概略構成されている。

【0094】データストロープ信号回路51は、図15(a)に示すように、入力バッファ511と、ライズ遷移パルス発生回路512と、フォール遷移パルス発生回路513とを有している。入力バッファ511は、データストロープ信号DSを、ライズ遷移パルス発生回路512と、フォール遷移パルス発生回路513とに供給する。ライズ遷移パルス発生回路512は、入力バッファ511の出力信号の立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号Φdseを発生する。フォール遷移パルス発生回路513は、入力バッファ511の出力信号の立ち下がり（フォール）エッジを検出して、ワンショットパルス信号Φdsoを発生する。

【0095】クロック信号回路52は、図15(b)に示すように、入力バッファ521と、遅延回路522と、ライズ遷移パルス発生回路523とを有している。入力バッファ521は、クロック信号CLKを遅延回路522に供給する。遅延回路522は、入力バッファ521の出力信号を所定時間遅延する。ライズ遷移パルス発生回路523は、遅延回路522の出力信号の立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号Φclkdinを出力する。

【0096】データイン回路53は、図16(a)に示すように、入力バッファ531と、レジスタ回路532、533、535、536、537、538と、遅延回路534と、データバスドライバ回路539とを有している。入力バッファ531は、データ入力信号DIN_i (i=1~8)をレジスタ回路532、533に供給する。レジスタ回路532は、入力バッファ531の出力信号を、ワンショットパルス信号Φdseに応じて取り込む。レジスタ回路533は、入力バッファ531の出力信号を、ワンショットパルス信号Φdsoに応じて取り込む。遅延回路534は、ワンショットパルス信号Φdsoを所定時間遅延して、ワンショットパルス信号Φdso d'を発生する。レジスタ回路535、536は、それぞれレジスタ回路532、533の出力信号を、ワンショットパルス信号Φdso d'に応じて取

り込んで、それぞれ出力信号ed1, od1を発生する。レジスタ回路537、538は、それぞれレジスタ回路535、536の出力信号を、ワンショットパルス信号Φclkdinに応じて取り込んで、それぞれ出力信号ed2, od2を発生する。データバスドライバ回路539は、レジスタ回路537の出力データed2と、レジスタ回路538の出力データod2とを並列に、それぞれ偶数番目のデータバスDBE_i (i=1~8)と、奇数番目のデータバスDBO_i (i=1~8)とに供給し、これによって、入力データが図示されない記憶セルに書き込まれる。ここで、レジスタ回路532、533、535、536、537、538は、すべて、図16(b)のレジスタ回路54によって示される同じ回路構成を有している。レジスタ回路54は、図78(b)に示されたレジスタ回路203と同じ構成、機能を有している。

【0097】次に、図15乃至図19を参照して、この例の半導体記憶装置の動作について説明する。図15

(a)に示すデータストロープ信号回路51では、データストロープ信号DSの立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号Φdseを発生し、また、データストロープ信号DSの立ち下がり（フォール）エッジを検出して、ワンショットパルス信号Φdsoを発生する。一方、図15(b)に示すクロック信号回路52では、クロック信号CLKを遅延した信号の立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号Φclkdinを発生する。

【0098】図16(a)に示すデータイン回路53において、データストロープ信号DSのライズ遷移検出によって発生したワンショットパルス信号Φdseによって、データ入力DIN_iをレジスタ回路532に取り込み、データストロープ信号DSのフォール遷移検出によって発生したワンショットパルス信号Φdsoによって、データ入力DIN_iをレジスタ回路533に取り込む。次にレジスタ回路532、533に取り込まれた2個分のデータを、データストロープ信号DSの立ち下がり（フォール）遷移によって発生したワンショットパルス信号Φdsoを遅延したワンショットパルス信号Φdso d'によって、レジスタ回路535、536に同時に取り込む。この際、ミ斯拉ッチを避けるため、ワンショットパルス信号Φdso d'は、ワンショットパルス信号Φdsoより後に発生するように遅延されている。その後、レジスタ回路535、536に取り込まれたデータed1, od1を、クロック信号CLKのライズ遷移検出によって発生したワンショットパルス信号Φclkdinによって、次のレジスタ回路537、538へ転送する。クロック信号CLKとデータストロープ信号DSとのタイミング差を示す規格tDQSSは、クロック周期をtCKとしたとき、例えば、0.75 tCK (tDQSS最小) ~ 1.25 tCK (tDQSS最

大)の範囲である。したがって、図18、図19に示すように、0.75tCKと1.25tCKの2つの場合において、ミ斯拉ッチに対するマージンの確保が必要であり、このためワンショットパルス信号 Φ_{dsod} 発生部での遅延回路534の遅延量と、ワンショットパルス信号 Φ_{clkdin} 発生部での遅延回路522の遅延量とを最適値に調整する。これによって、図18においては、データストロブ信号のタイミングが最も早い状態でもラッチマージンが確保されており、図19においては、データストロブ信号のタイミングが最も遅い状態でもラッチマージンが確保されることが示されている。

【0099】このように、この例の半導体記憶装置の構成によれば、データストロブ信号DSの制御によって取り込まれた入力データを、クロック信号CLKの制御に変換する際のラッチマージンを確保することができる。この例では、ラッチマージン確保のための遅延回路の数が増加するが、クロック信号CLKとデータストロブ信号DSによるワンショットパルス信号周波数を同一にできるので、前述の各実施例の場合よりも、さらに高周波の場合にも対応することができる。

【0100】◇第6実施例

図20及び図21は、この発明の第6実施例である半導体記憶装置の電氣的構成を示すブロック図である。この第6実施例の半導体記憶装置は、同図に示すように、データストロブ信号回路61と、クロック信号回路62と、データイン回路63とから概略構成されている。

【0101】データストロブ信号回路61は、図20(a)に示すように、入力バッファ611と、ライズ遷移パルス発生回路612と、フォール遷移パルス発生回路613とを有している。入力バッファ611、ライズ遷移パルス発生回路612、フォール遷移パルス発生回路613は、それぞれ、図15(a)に示された入力バッファ511、ライズ遷移パルス発生回路512、フォール遷移パルス発生回路513と同じ構成、機能を有している。したがって、データストロブ信号回路61は、第5実施例のデータストロブ信号回路51と同じ機能を有している。

【0102】クロック信号回路62は、図20(b)に示すように、入力バッファ621と、分周回路622と、スイッチ回路623と、ライズ遷移パルス発生回路624と、スイッチ回路625と、遅延回路626と、1周期遅延回路627と、分周回路628と、スイッチ回路629と、ライズ遷移パルス発生回路6210とを有している。入力バッファ621、遅延回路626、ライズ遷移パルス発生回路624は、それぞれ、図15

(b)に示された入力バッファ521、遅延回路522、ライズ遷移パルス発生回路523と略同じ構成、機能を有し、入力バッファ621、分周回路622、ライズ遷移パルス発生回路624、遅延回路626、1周期

遅延回路627、分周回路628、ライズ遷移パルス発生回路6210は、それぞれ、図79に示された入力バッファ2111、分周回路2112、ライズ遷移パルス発生回路2113、遅延回路2114、1周期遅延回路2115、分周回路2116、ライズ遷移パルス発生回路2117と略同じ構成、機能を有している。したがって、クロック信号回路62は、スイッチ回路623、625、629が図示の接続状態では、第5実施例の場合のクロック信号回路52と同じ機能を有し、スイッチ回路623、625、629が図示と反対の接続状態では、第2の従来例の場合のクロック信号回路211と同じ機能を有している。

【0103】データイン回路63は、図21に示すように、入力バッファ631と、レジスタ回路632、633、635、636、637、638と、遅延回路634と、データバスドライブ回路639と、スイッチ回路6310、6311、6312、6313とを有している。入力バッファ631、レジスタ回路632、633、635、636、637、638、遅延回路634、データバスドライブ回路639は、それぞれ、図16(a)に示された入力バッファ531、レジスタ回路532、533、535、536、537、538、遅延回路534、データバスドライブ回路539と同じ構成、機能を有し、入力バッファ631、レジスタ回路632、633、637、638、データバスドライブ回路639は、それぞれ、図81(a)に示された入力バッファ2121、レジスタ回路2122、2123、2124、2125、データバスドライブ回路2126と同じ構成、機能を有している。したがって、データイン回路63は、スイッチ回路6310、6311、6312、6313が図示の接続状態のとき、第5実施例の場合のデータイン回路53と同じ機能を有し、スイッチ回路6310、6311、6312、6313が図示と反対の接続状態のとき、第2の従来例の場合のデータイン回路212と同じ機能を有している。

【0104】このように、この例の半導体記憶装置の構成によれば、スイッチ回路623、625、626、629、6310、6311、6312、6313の切り換え状態に応じて、第5実施例の場合の動作と、第2の従来例の場合の動作とを切り換えて行うことができる。スイッチ回路623、625、626、629、6310、6311、6312、6313は、ボンディングオプションで設定することによって、上記のいずれかの状態に固定的に切り換えることができることは、第2実施例の場合と同じである。

【0105】◇第7実施例

図22及び図23は、この発明の第7実施例である半導体記憶装置の電氣的構成を示すブロック図、図24は、第7実施例の動作を説明するタイミングチャート、図25は、データストロブ信号のタイミングが最も早い場

合のラッチマージンの説明図、図26は、データストロープ信号のタイミングが最も遅い場合のラッチマージンの説明図である。この第7実施例の半導体記憶装置は、図22及び図23に示すように、データストロープ信号回路71と、クロック信号回路72と、データイン回路73とから概略構成されている。

【0106】データストロープ信号回路71は、図22(a)に示すように、入力バッファ711と、ライズ/フォール遷移パルス発生回路712と、インバータ713と、遅延回路714とを有している。入力バッファ711は、データストロープ信号DSを、ライズ/フォール遷移パルス発生回路712とインバータ713に供給する。ライズ/フォール遷移パルス発生回路712は、入力バッファ511の出力信号の立ち上がり(ライズ)エッジと立ち下がり(フォール)エッジとを検出して、ワンショットパルス信号 $\Phi_{dse o}$ を発生する。インバータ713は、入力バッファ711の出力信号を反転して出力する。遅延回路714は、インバータ713の出力信号を所定時間遅延して、遅延データストロープ信号DSDを出力する。

【0107】クロック信号回路72は、図22(b)に示すように、入力バッファ721と、フォール遷移パルス発生回路722とを有している。入力バッファ721は、クロック信号CLKをフォール遷移パルス発生回路722に供給する。フォール遷移パルス発生回路722は、入力バッファ721の出力信号の立ち下がり(フォール)エッジを検出して、ワンショットパルス信号 $\Phi_{clk d i n'}$ を出力する。

【0108】データイン回路73は、図23(a)に示すように、入力バッファ731と、レジスタ回路732、733、736、737と、データラッチ回路734、735と、データバスドライバ回路738とを有している。入力バッファ731は、データ入力信号DIN_i($i=1\sim 8$)をレジスタ回路732に供給する。レジスタ回路732は、入力バッファ731の出力信号を、ワンショットパルス信号 $\Phi_{dse o}$ に応じて取り込む。レジスタ回路733は、レジスタ回路732の出力信号を、次のワンショットパルス信号 $\Phi_{dse o}$ に応じて取り込む。データラッチ回路734、735は、それぞれレジスタ回路732、733の出力信号を、遅延データストロープ信号DSDに応じてラッチして、それぞれ出力信号 $e d 1$ 、 $o d 1$ を発生する。レジスタ回路736、737は、それぞれデータラッチ回路734、735の出力信号を、ワンショットパルス信号 $\Phi_{clk d i n'}$ に応じて取り込んで、それぞれ出力信号 $e d 2$ 、 $o d 2$ を発生する。データバスドライバ回路738は、レジスタ回路736の出力データ $e d 2$ と、レジスタ回路737の出力データ $o d 2$ とを並列に、それぞれ偶数番目のデータバスDBE_i($i=1\sim 8$)と、奇数番目のデータバスアスDBO_i($i=1\sim 8$)とに供給し、

これによって、入力データが図示されない記憶セルに書き込まれる。

【0109】ここで、レジスタ回路732、733、736、737は、すべて図23(b)のレジスタ回路74によって示される同じ回路構成を有している。レジスタ回路74は、図23(b)に示すように、図78

(b)に示されたレジスタ回路203と同じ構成、機能を有している。また、データラッチ回路734、735は、図23(c)のデータラッチ回路75によって示される構成を有している。データラッチ回路75は、インバータI2と、ゲートG3と、ラッチL3と、インバータI3とを有し、入力データINを、遅延データストロープ信号DSDの立ち下がりに応じてゲートG3を開いてラッチ回路L3にラッチし、インバータI3を経て反転して出力することによって、入力データINを所定時間遅延して出力する。

【0110】次に、図22乃至図26を参照して、この例の半導体記憶装置の動作を説明する。図22(a)に示すデータストロープ信号回路71では、データストロープ信号DSの立ち上がり(ライズ)エッジと立ち下がり(フォール)エッジとを検出して、ワンショットパルス信号 $\Phi_{dse o}$ を発生し、データストロープ信号DSを反転し遅延して、遅延データストロープ信号DSDを発生する。一方、図22(b)に示すクロック信号回路72では、クロック信号CLKの立ち下がり(フォール)エッジを検出して、ワンショットパルス信号 $\Phi_{clk d i n'}$ を発生する。

【0111】図23(a)に示すデータイン回路73において、データストロープ信号DSのライズ遷移とフォール遷移の検出によって発生したワンショットパルス信号 $\Phi_{dse o}$ に応じて、データ入力DIN_iをレジスタ回路732に取り込み、レジスタ回路732の出力信号を、次のワンショットパルス信号 $\Phi_{dse o}$ に応じてレジスタ回路733に取り込む。次にレジスタ回路732、733に取り込まれた2個分のデータを、遅延データストロープ信号DSDに応じて、データラッチ回路734、735に同時に取り込む。その後、データラッチ回路734、735に取り込まれたデータを、クロック信号CLKのフォール遷移検出によって発生したワンショットパルス信号 $\Phi_{clk d i n'}$ によって、次のレジスタ回路736、737へ転送する。クロック信号CLKとデータストロープ信号DSとのタイミング差を示す規格tDQSSは、クロック周期をtCKとしたとき、例えば、 $0.4tCK$ (tDQSS最小)～ $0.9tCK$ (tDQSS最大)の範囲である。したがって、図25、図26に示すように、 $0.4tCK$ と $0.9tCK$ の2つの場合において、ミスラッチに対するマージンの確保が必要であり、このため遅延データストロープ信号DSD発生部での遅延回路714の遅延量を最適値に調整する。これによって、図25においては、データスト

ローブ信号のタイミングが最も早い状態でもラッチマージンが確保されており、図 26 においては、データストローブ信号のタイミングが最も遅い状態でもラッチマージンが確保されることが示されている。

【0112】このように、この例の半導体記憶装置の構成によれば、データストローブ信号 DS の制御によって取り込まれた入力データを、クロック信号 CLK の制御に変換する際のラッチマージンを確保することができる。この例は、クロック信号 CLK とデータストローブ信号 DS とのタイミング差を示す t_{DQS} の値が小さい場合に有効であるとともに、ラッチマージン確保のための遅延回路の数が少ないので、回路構成が簡単になる。さらにこの例では、クロック信号 CLK による制御も、ワンショットパルス信号 $\phi_{clk\,din}$ によって行うことで、クロック信号 CLK のデューティに対する依存性を解消することができる。

【0113】◇第 8 実施例

図 27 及び図 28 は、この発明の第 8 実施例である半導体記憶装置の電氣的構成を示すブロック図である。この第 8 実施例の半導体記憶装置は、同図に示すように、データストローブ信号回路 81 と、クロック信号回路 82 と、データイン回路 83 とから概略構成されている。

【0114】データストローブ信号回路 81 は、図 27 (a) に示すように、入力バッファ 811 と、ライズ/フォール遷移パルス発生回路 812 と、インバータ 813 と、遅延回路 814 とを有している。入力バッファ 811、ライズ/フォール遷移パルス発生回路 812、インバータ 813、遅延回路 814 は、それぞれ、図 22 (a) に示された入力バッファ 711、ライズ/フォール遷移パルス発生回路 712、インバータ 713、遅延回路 714 と同じ構成、機能を有している。したがって、データストローブ信号回路 81 は、第 7 実施例のデータストローブ信号回路 71 と同じ機能を有している。

【0115】クロック信号回路 82 は、図 27 (b) に示すように、入力バッファ 821 と、フォール遷移パルス発生回路 822 と、ライズ遷移パルス発生回路 823 と、遅延回路 824 と、分周回路 825 と、ライズ遷移パルス発生回路 826 と、スイッチ回路 827 とを有している。入力バッファ 821、フォール遷移パルス発生回路 822 は、図 22 (b) に示された入力バッファ 721、フォール遷移パルス発生回路 722 と同じ構成、機能を有している。入力バッファ 821、ライズ遷移パルス発生回路 823、遅延回路 824、分周回路 825、ライズ遷移パルス発生回路 826 は、図 77 に示された入力バッファ 2011、ライズ遷移パルス発生回路 2012、遅延回路 2013、分周回路 2014、ライズ遷移パルス発生回路 2015 と同じ構成、機能を有している。したがって、クロック信号回路 82 は、スイッチ回路 827 が図示の接続状態では、第 7 実施例の場合のクロック信号回路 72 と同じ機能を有し、スイッチ回

路 827 が図示と反対の接続状態では、第 1 の従来例の場合のクロック信号回路 201 と同じ機能を有している。

【0116】データイン回路 83 は、図 28 に示すように、入力バッファ 831 と、レジスタ回路 832、833、836、837 と、データラッチ回路 834、835 と、データバスドライバ回路 838 と、スイッチ回路 839、8310、8311、8312 とを有している。入力バッファ 831 と、レジスタ回路 832、833、836、837 と、データラッチ回路 834、835 と、データバスドライバ回路 838 とは、図 23

(a) に示された入力バッファ 731 と、レジスタ回路 732、733、736、737 と、データラッチ回路 734、735 と、データバスドライバ回路 738 と同じ構成、機能を有している。入力バッファ 831 と、レジスタ回路 832、833、836、837 と、データバスドライバ回路 838 とは、図 78 (a) に示された入力バッファ 2021 と、レジスタ回路 2022、2023、2024、2025 と、データバスドライバ回路 2026 と同じ構成、機能を有している。したがって、データイン回路 83 は、スイッチ回路 839、8310、8311、8312 が図示の接続状態のときは、第 7 実施例の場合のデータイン回路 73 と同じ機能を有し、スイッチ回路 839、8310、8311、8312 が図示と反対の接続状態のときは、第 1 の従来例の場合のデータイン回路 202 と同じ機能を有している。

【0117】このように、この例の半導体記憶装置の構成によれば、スイッチ回路 827、839、8310、8311、8312 の切り換え状態に応じて、第 7 実施例の場合の動作と、第 1 の従来例の場合の動作とを切り換えて行うことができる。スイッチ回路 827、839、8310、8311、8312 は、ボンディングオプションで設定することによって、上記のいずれかの状態に自動的に切り換えることができることは、第 2 実施例の場合と同じである。

【0118】◇第 9 実施例

図 29 及び図 30 は、この発明の第 9 実施例である半導体記憶装置の電氣的構成を示すブロック図、図 31 は、第 9 実施例の動作を説明するタイミングチャート、図 32 は、データストローブ信号のタイミングが最も早い場合のラッチマージンの説明図、また、図 33 は、データストローブ信号のタイミングが最も遅い場合のラッチマージンの説明図である。この第 9 実施例の半導体記憶装置は、図 29 及び図 30 に示すように、データストローブ信号回路 91 と、クロック信号回路 92 と、データイン回路 93 とから概略構成されている。

【0119】データストローブ信号回路 91 は、図 29 (a) に示すように、入力バッファ 911 と、ライズ遷移パルス発生回路 912 と、フォール遷移パルス発生回路 913 と、インバータ 914 と、遅延回路 915 とを

有している。入力バッファ 911 は、データストロブ信号 DS を、ライズ遷移パルス発生回路 912 と、フォール遷移パルス発生回路 913 と、インバータ 914 とに供給する。ライズ遷移パルス発生回路 912 は、入力バッファ 911 の出力信号の立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号 Φdse を発生する。フォール遷移パルス発生回路 913 は、入力バッファ 911 の出力信号の立ち下がり（フォール）エッジを検出して、ワンショットパルス信号 Φdso を発生する。インバータ 914 は、入力バッファ 911 の出力信号を反転する。遅延回路 915 は、インバータ 914 の出力信号を所定時間遅延して、遅延データストロブ信号 DSD を発生する。

【0120】クロック信号回路 92 は、図 29 (b) に示すように、入力バッファ 921 と、フォール遷移パルス発生回路 922 とを有している。入力バッファ 921 は、クロック信号 CLK をフォール遷移パルス発生回路 922 に供給する。フォール遷移パルス発生回路 922 は、入力バッファ 921 の出力信号の立ち下がり（フォール）エッジを検出して、ワンショットパルス信号 $\Phi clkdn'$ を出力する。

【0121】データイン回路 93 は、図 30 (a) に示すように、入力バッファ 931 と、レジスタ回路 932, 933, 936, 937 と、データラッチ回路 934, 935 と、データバスドライブ回路 938 とを有している。入力バッファ 931 は、データ入力信号 DIN_i ($i=1\sim 8$) をレジスタ回路 932, 933 に供給する。レジスタ回路 932 は、入力バッファ 931 の出力信号を、ワンショットパルス信号 Φdse に応じて取り込む。レジスタ回路 933 は、入力バッファ 931 の出力信号を、ワンショットパルス信号 Φdso に応じて取り込む。データラッチ回路 934, 935 は、それぞれレジスタ回路 932, 933 の出力信号を、遅延データストロブ信号 DSD に応じてラッチして、それぞれ出力信号 $ed1, od1$ を発生する。レジスタ回路 936, 937 は、それぞれデータラッチ回路 934, 935 の出力信号を、ワンショットパルス信号 $\Phi clkdn'$ に応じて取り込んで、それぞれ出力信号 $ed2, od2$ を発生する。データバスドライブ回路 938 は、レジスタ回路 936 の出力データ $od2$ と、レジスタ回路 937 の出力データ $od2$ とを並列に、それぞれ偶数番目のデータバス DBE_i ($i=1\sim 8$) と、奇数番目のデータバス ASBO_i ($i=1\sim 8$) とに供給し、これによって、入力データが図示されない記憶セルに書き込まれる。ここで、レジスタ回路 932, 933, 936, 937 は、すべて、図 30 (b) のレジスタ回路 94 によって示される同じ回路構成を有している。レジスタ回路 94 は、図 78 (b) に示されたレジスタ回路 203 と略同じ構成、機能を有している。また、データラッチ回路 934, 935 は、図 30 (c) のデータラ

ッチ回路 95 によって示される同じ回路構成を有している。データラッチ回路 95 は、図 23 (c) に示されたデータラッチ回路 75 と略同じ構成、機能を有している。

【0122】次に、図 29 乃至図 33 を参照して、この例の半導体記憶装置の動作について説明する。図 29

(a) に示すデータストロブ信号回路 91 では、データストロブ信号 DS の立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号 Φdse を発生し、また、データストロブ信号 DS の立ち下がり（フォール）エッジを検出して、ワンショットパルス信号 Φdso を発生する。さらに、データストロブ信号 DS を反転し遅延して、遅延データストロブ信号 DSD を発生する。一方、図 29 (b) に示すクロック信号回路 92 では、クロック信号 CLK の立ち下がり（フォール）エッジを検出して、ワンショットパルス信号 $\Phi clkdn'$ を発生する。

【0123】図 30 (a) に示すデータイン回路 93 において、データストロブ信号 DS のライズ遷移検出によって発生したワンショットパルス信号 Φdse によって、データ入力 DIN_i をレジスタ回路 932 に取り込み、データストロブ信号 DS のフォール遷移検出によって発生したワンショットパルス信号 Φdso によって、データ入力 DIN_i をレジスタ回路 933 に取り込む。次にレジスタ回路 932, 933 に取り込まれた 2 個分のデータを、遅延データストロブ信号 DSD に応じて、データラッチ回路 934, 935 に同時に取り込む。その後、データラッチ回路 934, 935 に取り込まれたデータ $ed1, od1$ を、クロック信号 CLK のフォール遷移検出によって発生したワンショットパルス信号 $\Phi clkdn'$ によって、次のレジスタ回路 936, 937 へ転送する。クロック信号 CLK とデータストロブ信号 DS とのタイミング差を示す規格 $tDQS$ は、クロック周期を tCK としたとき、例えば、 $0.4tCK$ ($tDQSS$ 最小) $\sim 0.9tCK$ ($tDQSS$ 最大) の範囲である。したがって、図 32, 図 33 に示すように、 $0.4tCK$ と $0.9tCK$ の 2 つの場合において、ミスラッチに対するマージンの確保が必要であり、このため遅延データストロブ信号 DSD 発生部での遅延回路 915 の遅延量を最適値に調整する。これによって、図 32 においては、データストロブ信号のタイミングが最も早い状態でもラッチマージンが確保されており、図 33 においては、データストロブ信号のタイミングが最も遅い状態でもラッチマージンが確保されることが示されている。

【0124】このように、この例の半導体記憶装置の構成によれば、データストロブ信号 DS の制御によって取り込まれた入力データを、クロック信号 CLK の制御に変換する際のラッチマージンを確保することができる。この例は、クロック信号 CLK とデータストロブ

信号DSとのタイミング差を示す t_{DQS} の値が小さい場合に有効であるとともに、ラッチマージン確保のための遅延回路の数が少ないので、回路構成が簡単になる。さらに、この例では、クロック信号CLKによる制御も、ワンショットパルス信号 $\Phi_{clk\,din}$ によって行うことで、クロック信号CLKのデューティに対する依存性を解消することができる。

【0125】◇第10実施例

図34及び図35は、この発明の第10実施例である半導体記憶装置の電氣的構成を示すブロック図である。この第10実施例の半導体記憶装置は、同図に示すように、データストロープ信号回路101と、クロック信号回路102と、データイン回路103とから概略構成されている。

【0126】データストロープ信号回路101は、図34(a)に示すように、入力バッファ1011と、ライズ遷移パルス発生回路1012と、フォール遷移パルス発生回路1013と、インバータ1014と、遅延回路1015とを有している。入力バッファ1011、ライズ遷移パルス発生回路1012、フォール遷移パルス発生回路1013、インバータ1014、遅延回路1015は、図29(a)に示された入力バッファ911、ライズ遷移パルス発生回路912、フォール遷移パルス発生回路913、インバータ914、遅延回路915と同じ構成、機能を有している。したがって、データストロープ信号回路101は、第9実施例のデータストロープ信号回路91と略同じ機能を有している。

【0127】クロック信号回路102は、図34(b)に示すように、入力バッファ1021と、フォール遷移パルス発生回路1022と、分周回路1023と、ライズ遷移パルス発生回路1024と、遅延回路1025と、1周期遅延回路1026と、分周回路1027と、ライズ遷移パルス発生回路1028と、スイッチ回路1029とを有している。入力バッファ1021、フォール遷移パルス発生回路1022は、図29(b)に示された入力バッファ921、フォール遷移パルス発生回路922と同じ構成、機能を有している。入力バッファ1021、分周回路1023、ライズ遷移パルス発生回路1024、遅延回路1025、1周期遅延回路1026、分周回路1027、ライズ遷移パルス発生回路1028は、図80に示された入力バッファ2111、分周回路2112、ライズ遷移パルス発生回路2113、遅延回路2114、1周期遅延回路2115、分周回路2116、ライズ遷移パルス発生回路2117と同じ構成、機能を有している。したがって、クロック信号回路102は、スイッチ回路1029が図示の接続状態では、第9実施例の場合のクロック信号回路92と同じ機能を有し、スイッチ回路1029が図示と反対の接続状態では、第2の従来例の場合のクロック信号回路211と同じ機能を有している。

【0128】また、上記データイン回路103は、図35に示すように、入力バッファ1031と、レジスタ回路1032、1033、1036、1037と、データラッチ回路1034、1035と、データバスドライバ回路1038と、スイッチ回路1039、10310、10311、10312、10313とを有してなっている。入力バッファ1031と、レジスタ回路1032、1033、1036、1037と、データラッチ回路1034、1035と、データバスドライバ回路1038とは、図30(a)に示された入力バッファ931と、レジスタ回路932、933、936、937と、データラッチ回路934、935と、データバスドライバ回路938と同じ構成、機能を有している。入力バッファ1031と、レジスタ回路1032、1033、1036、1037と、データバスドライバ回路1038とは、図81(a)に示された入力バッファ2121と、レジスタ回路2122、2123、2124、2125と、データバスドライバ回路2126と同じ構成、機能を有している。したがって、データイン回路103は、スイッチ回路1039、10310、10311、10312、10313が図示の接続状態のときは、第9実施例の場合のデータイン回路93と同じ機能を有し、スイッチ回路1039、10310、10311、10312、10313が図示と反対の接続状態のときは、第2の従来例の場合のデータイン回路212と同じ機能を有している。

【0129】このように、この例の半導体記憶装置の構成によれば、スイッチ回路1029、1039、10310、10311、10312、10313の切り換えに応じて、第9実施例の場合の動作と、第2の従来例の場合の動作とを切り換えて行うことができる。スイッチ回路1029、1039、10310、10311、10312、10313は、ボンディングオプションによって設定することによって、上記のいずれかの状態に固定的に切り換えることができることは、図6及び図7に示された第2実施例の場合と同じである。

【0130】◇第11実施例

図36及び図37は、この発明の第11実施例である半導体記憶装置の電氣的構成を示すブロック図、図38は、第11実施例の動作を説明するタイミングチャート、図39は、データストロープ信号のタイミングが最も早い場合のラッチマージンの説明図、図40は、データストロープ信号のタイミングが最も遅い場合のラッチマージンの説明図である。この第11実施例の半導体記憶装置は、図36及び図37に示すように、データストロープ信号回路11Aと、クロック信号回路12Aと、ライトデータマスク回路13Aとから概略構成されている。

【0131】データストロープ信号回路11Aは、図36(a)に示すように、入力バッファ111と、ライズ

／フォール遷移パルス発生回路112と、フォール遷移パルス発生回路113とを有してとり、その構成、機能は、図1(a)に示された第1実施例のデータストロブ回路11と同様なので、詳細な説明を省略する。クロック信号回路12Aは、図36(b)に示すように、入力バッファ121と、ライズ遷移パルス発生回路122とを有しており、その構成、機能は、図1(b)に示された第1実施例のクロック信号回路12と同様なので、詳細な説明を省略する。

【0132】ライトデータマスク回路13Aは、図37(a)に示すように、入力バッファ131と、レジスタ回路132, 133, 134, 135, 136, 137と、ライトデータマスク信号ドライブ回路138Aとを有している。入力バッファ131は、入力データ制御信号 DM_i ($i=U, L$)をレジスタ回路132に供給する。レジスタ回路132は、入力バッファ131の出力信号を、ワンショットパルス信号 $\Phi dse o$ に応じて取り込む。レジスタ回路133は、レジスタ回路132の出力信号を、次のワンショットパルス信号 $\Phi dse o$ に応じて取り込む。レジスタ回路134, 135は、それぞれレジスタ回路132, 133の出力信号を、ワンショットパルス信号 $\Phi ds o d$ に応じて取り込んで、それぞれ出力信号 $ed1, od1$ を発生する。また、レジスタ回路136, 137は、それぞれレジスタ回路134, 135の出力信号を、ワンショットパルス信号 $\Phi clkdin$ に応じて取り込んで、それぞれ出力信号 $ed2, od2$ を発生する。ライトデータマスク信号ドライブ回路138Aは、レジスタ回路136の出力信号 $ed2$ と、レジスタ回路137の出力信号 $od2$ とを並列に、それぞれ偶数番目のデータバス DME_i ($i=U, L$)と、奇数番目のデータバス DMO_i ($i=U, L$)とに供給し、これによって、入力データ制御信号が図示されないライトデータ制御回路に供給される。

【0133】ここで、レジスタ回路132, 133, 134, 135, 136, 137は、すべて、図37(b)のレジスタ回路14Aによって示される同じ回路構成を有している。レジスタ回路14Aは、図2(b)に示されたレジスタ回路14と同じ構成、機能を有している。

【0134】次に、図36乃至図40を参照して、この例の半導体記憶装置の動作について説明する。図36

(a)に示すデータストロブ信号回路11Aでは、データストロブ信号 DS の立ち上がり(ライズ)エッジと立ち下がり(フォール)エッジとを検出して、ワンショットパルス信号 $\Phi dse o$ を発生し、また、データストロブ信号 DS の立ち下がり(フォール)エッジを検出して、ワンショットパルス信号 $\Phi ds o d$ を発生する。一方、図36(b)に示すクロック信号回路12Aでは、クロック信号 CLK の立ち上がり(ライズ)エッジを検出して、ワンショットパルス信号 $\Phi clkdin$

を発生する。

【0135】図37(a)に示すライトデータマスク回路13Aにおいて、データストロブ信号 DS のライズ／フォール遷移検出によって発生したワンショットパルス信号 $\Phi dse o$ によって、入力データ制御信号 DM_i をレジスタ回路132, 133に順次1個ずつ取り込む。次にレジスタ回路132, 133に取り込まれた2個分のデータ制御信号を、データストロブ信号 DS の立ち下がり(フォール)遷移検出によって発生したワンショットパルス信号 $\Phi ds o d$ によって、レジスタ回路134, 135に同時に取り込む。この際、ミ斯拉ッチを避けるため、ワンショットパルス信号 $\Phi ds o d$ は、ワンショットパルス信号 $\Phi dse o$ より後に発生するように遅延されている。その後、レジスタ回路134, 135に取り込まれたデータ制御信号 $ed1, od1$ を、クロック信号 CLK のライズ遷移検出によって発生したワンショットパルス信号 $\Phi clkdin$ によって、次のレジスタ回路136, 137へ転送する。クロック信号 CLK とデータストロブ信号 DS とのタイミング差を示す規格 $tDQSS$ は、クロック周期を tCK としたとき、例えば、 $0.75tCK$ ($tDQSS$ 最小) \sim $1.25tCK$ ($tDQSS$ 最大)の範囲である。したがって、図39, 図40に示すように、 $0.75tCK$ と $1.25tCK$ の2つの場合において、ミ斯拉ッチに対するマージンの確保が必要であるが、この例では、ワンショットパルス信号 $\Phi ds o d$ 発生部と、ワンショットパルス信号 $\Phi clkdin$ 発生部との信号発生タイミングの選択によって、図39においては、データストロブ信号のタイミングが最も早い状態でもラッチマージンが確保されており、図40においては、データストロブ信号のタイミングが最も遅い状態でもラッチマージンが確保されることが示されている。

【0136】このように、この例の半導体記憶装置の構成によれば、データストロブ信号 DS の制御によって取り込まれた入力データ制御信号を、クロック信号 CLK の制御に変換する際のラッチマージンを確保することができる。この例では、クロック信号 CLK とデータストロブ信号 DS とのタイミング差を示す規格 $tDQSS$ が基準値($1tCK$)に比較的近い場合に対応可能である。さらにこの例では、クロック信号 CLK による制御も、ワンショットパルス信号 $\Phi clkdin$ によって行うことで、クロック信号 CLK のデューティに対する依存性を解消することができる。

【0137】◇第12実施例

図41及び図42は、この発明の第12実施例である半導体記憶装置の電氣的構成を示すブロック図である。この第12実施例の半導体記憶装置は、同図に示すように、データストロブ信号回路21Aと、クロック信号回路22Aと、ライトデータマスク回路23Aとから概略構成されている。

【0138】データストロブ信号回路21Aは、図41(a)に示すように、入力バッファ211と、ライズ／フォール遷移パルス発生回路212と、フォール遷移パルス発生回路213とを有している。入力バッファ211、ライズ／フォール遷移パルス発生回路212、フォール遷移パルス発生回路213は、それぞれ図36

(a)に示された入力バッファ111、ライズ／フォール遷移パルス発生回路112、フォール遷移パルス発生回路113と同じ構成、機能を有している。したがって、データストロブ信号回路21Aは、第11実施例の場合のデータストロブ信号回路11Aと同じ機能を有している。

【0139】クロック信号回路22Aは、図41(b)に示すように、入力バッファ221と、ライズ遷移パルス発生回路222と、遅延回路223と、分周回路224と、ライズ遷移パルス発生回路225と、スイッチ回路226とを有している。入力バッファ221、ライズ遷移パルス発生回路222は、それぞれ図36(a)に示された入力バッファ121、ライズ遷移パルス発生回路122と同じ構成、機能を有し、入力バッファ221、ライズ遷移パルス発生回路222、遅延回路223、分周回路224、ライズ遷移パルス発生回路225は、それぞれ図83に示された入力バッファ2211、ライズ遷移パルス発生回路2212、遅延回路2213、分周回路2214、ライズ遷移パルス発生回路2215と同じ構成、機能を有している。したがって、クロック信号回路22Aは、スイッチ回路226が図示の接続状態では、第11実施例の場合のクロック信号回路12Aと同じ機能を有し、スイッチ回路226が図示と反対の接続状態では、第3の従来例と同じ機能を有している。

【0140】また、ライトデータマスク回路23Aは、図42に示すように、入力バッファ231と、レジスタ回路232、233、234、235、236、237と、ライトデータマスク信号ドライブ回路238Aと、スイッチ回路239、2310、2311とを有している。入力バッファ231、レジスタ回路232、233、234、235、236、237、ライトデータマスク信号ドライブ回路238Aは、それぞれ、図37(a)に示された入力バッファ131、レジスタ回路132、133、134、135、136、137、ライトデータマスク信号ドライブ回路138Aと同じ構成、機能を有し、入力バッファ231、レジスタ回路232、233、236、237、ライトデータマスク信号ドライブ回路238Aは、それぞれ、図84(a)に示された入力バッファ2221、レジスタ回路2222、2223、2224、2225、ライトデータマスク信号ドライブ回路2226と同じ構成、機能を有している。したがって、ライトデータマスク回路23Aは、スイッチ回路239、2310、2311が図示の接続状

態では、第11実施例の場合のライトデータマスク回路13Aと同じ機能を有し、スイッチ回路239、2310、2311が図示と反対の接続状態では、第3の従来例の場合のライトデータマスク回路222と同じ機能を有している。

【0141】このように、この例の半導体記憶装置の構成によれば、スイッチ回路229、2310、2311の切り換え状態に応じて、第11実施例の場合の動作と、第3の従来例の場合の動作とを切り換えて行なうことができる。

3スイッチ回路239、2310、2311は、ボンディングオプションで設定することによって、上記のいずれかの状態に固定的に切り換えることができる。したがって、この例によれば、第11実施例の場合と第3の従来例の場合との2つの品種の半導体記憶装置のいずれかを任意に選択して容易に実現できるので、半導体記憶装置を組み込むべき装置品種切り換えの過渡期における、半導体記憶装置の生産計画上有利である。

【0142】◇第13実施例

図43及び図44は、この発明の第13実施例である半導体記憶装置の電氣的構成を示すブロック図、図45は、第13実施例の動作を説明するタイミングチャート、図46は、データストロブ信号のタイミングが最も早い場合のラッチマージンの説明図、図47は、データストロブ信号のタイミングが最も遅い場合のラッチマージンの説明図である。この第13実施例の半導体記憶装置は、図43及び図44に示すように、データストロブ信号回路31Aと、クロック信号回路32Aと、ライトデータマスク回路33Aとから概略構成されている。

【0143】データストロブ信号回路31Aは、図43(a)に示すように、入力バッファ311と、ライズ／フォール遷移パルス発生回路312と、遅延回路313と、フォール遷移パルス発生回路314とを有しており、その構成、機能は、図8(a)に示された第3実施例のデータストロブ信号回路31と同様である。

【0144】クロック信号回路32Aは、図43(b)に示すように、入力バッファ321と、遅延回路322と、ライズ遷移パルス発生回路323とを有しており、その構成、機能は、図8(b)に示された第3実施例のクロック信号回路32と同様である。

【0145】また、ライトデータマスク回路33Aは、図44(a)に示すように、入力バッファ331と、レジスタ回路332、333、334、335、336、337と、ライトデータマスク信号ドライブ回路338Aとを有している。入力バッファ331は、入力データ制御信号DM_i (i=U, L)をレジスタ回路332に供給する。レジスタ回路332は、入力バッファ331の出力信号を、ワンショットパルス信号Φ_{dse0}に応じて取り込む。レジスタ回路333は、レジスタ回路3

32の出力信号を、次のワンショットパルス信号 $\Phi dse o$ に応じて取り込む。レジスタ回路334, 335は、それぞれレジスタ回路332, 333の出力信号を、ワンショットパルス信号 $\Phi dso d$ に応じて取り込んで、それぞれ出力信号 $ed1, od1$ を発生する。また、レジスタ回路336, 337は、それぞれレジスタ回路334, 335の出力信号を、ワンショットパルス信号 $\Phi clkdin$ に応じて取り込んで、それぞれ出力信号 $ed2, od2$ を発生する。ライトデータマスク信号ドライバ回路338Aは、レジスタ回路336の出力信号 $ed2$ と、レジスタ回路337の出力信号 $od2$ とを並列に、それぞれ偶数番目のデータバス $DMEi$ ($i=U, L$)と、奇数番目のデータバス $DMO i$ ($i=U, L$)とに供給し、これによって、入力データ制御信号が図示されないライトデータ制御回路に供給される。

【0146】ここで、レジスタ回路332, 333, 334, 335, 336, 337は、すべて、図44

(b)のレジスタ回路34Aによって示される同じ回路構成を有している。レジスタ回路34Aは、図9(b)に示されたレジスタ回路34と同じ構成、機能を有している。

【0147】次に、図43乃至図47を参照して、この例の半導体記憶装置の動作について説明する。図43

(a)に示すデータストローブ信号回路31Aでは、データストローブ信号 DS の立ち上がり(ライズ)エッジと立ち下がり(フォール)エッジとを検出して、ワンショットパルス信号 $\Phi dse o$ を発生し、また、データストローブ信号 DS の立ち下がり(フォール)エッジを検出して、ワンショットパルス信号 $\Phi dso d$ を発生する。一方、図43(b)に示すクロック信号回路32Aでは、クロック信号 CLK の立ち上がり(ライズ)エッジを検出して、ワンショットパルス信号 $\Phi clkdin$ を発生する。

【0148】図44(a)に示すライトデータマスク回路33Aにおいて、データストローブ信号 DS のライズ/フォール遷移検出によって発生したワンショットパルス信号 $\Phi dse o$ によって、入力データ制御信号 DMi をレジスタ回路332, 333に順次1個ずつ取り込む。次にレジスタ回路332, 333に取り込まれた2個分のデータ制御信号を、データストローブ信号 DS の立ち下がり(フォール)遷移検出によって発生したワンショットパルス信号 $\Phi dso d$ によって、レジスタ回路334, 335に同時に取り込む。この際、ミ斯拉ッチを避けるため、ワンショットパルス信号 $\Phi dso d$ は、ワンショットパルス信号 $\Phi dse o$ より後に発生するように遅延されている。その後、レジスタ回路334, 335に取り込まれたデータ制御信号 $ed1, od1$ を、クロック信号 CLK のライズ遷移検出によって発生したワンショットパルス信号 $\Phi clkdin$ によって、次のレジスタ回路336, 337へ転送する。クロック信号

CLK とデータストローブ信号 DS とのタイミング差を示す規格 $tDQSS$ は、クロック周期を tCK としたとき、例えば、 $0.75tCK$ ($tDQSS$ 最小) \sim $1.25tCK$ ($tDQSS$ 最大)の範囲である。したがって、図46, 図47に示すように、 $0.75tCK$ と $1.25tCK$ の2つの場合において、ミ斯拉ッチに対するマージンの確保が必要であるが、この例では、ワンショットパルス信号 $\Phi dso d$ 発生部と、ワンショットパルス信号 $\Phi clkdin$ 発生部との信号発生タイミングの選択によって、図46においては、データストローブ信号のタイミングが最も早い状態でもラッチマージンが確保されており、図47においては、データストローブ信号のタイミングが最も遅い状態でもラッチマージンが確保されることが示されている。

【0149】このように、この例の半導体記憶装置の構成によれば、データストローブ信号 DS の制御によって取り込まれた入力データ制御信号を、クロック信号 CLK の制御に変換する際のラッチマージンを確保することができる。この例では、クロック信号 CLK とデータストローブ信号 DS とのタイミング差を示す規格 $tDQSS$ が基準値($1tCK$)に比較的近い場合に対応可能である。さらにこの例では、クロック信号 CLK による制御も、ワンショットパルス信号 $\Phi clkdin$ によって行うことで、クロック信号 CLK のデューティに対する依存性を解消することができる。

【0150】◇第14実施例

図48及び図49は、この発明の第14実施例である半導体記憶装置の電氣的構成を示すブロック図である。この第14実施例の半導体記憶装置は、同図に示すように、データストローブ信号回路41Aと、クロック信号回路42Aと、ライトデータマスク回路43Aとから概略構成されている。

【0151】データストローブ信号回路41Aは、図48(a)に示すように、入力バッファ411と、ライズ/フォール遷移パルス発生回路412と、遅延回路413と、フォール遷移パルス発生回路414とを有している。入力バッファ411, ライズ/フォール遷移パルス発生回路412, 遅延回路413, フォール遷移パルス発生回路414は、それぞれ、図43(a)に示された入力バッファ311, ライズ/フォール遷移パルス発生回路312, 遅延回路313, フォール遷移パルス発生回路314と同じ構成、機能を有している。したがって、データストローブ信号回路41Aは、図43(a)に示された第13実施例のデータストローブ信号回路41と同じ機能を有している。

【0152】クロック信号回路42Aは、図48(b)に示すように、入力バッファ421と、ライズ遷移パルス発生回路422と、遅延回路423と、分周回路424と、ライズ遷移パルス発生回路425と、スイッチ回路426とを有している。入力バッファ421, 遅延回

路 4 2 3, ライズ遷移パルス発生回路 4 2 5 は、それぞれ図 4 3 (b) に示された入力バッファ 3 2 1, 遅延回路 3 2 2, ライズ遷移パルス発生回路 3 2 3 と同じ構成, 機能を有し、入力バッファ 4 2 1, ライズ遷移パルス発生回路 4 2 2, 遅延回路 4 2 3, 分周回路 4 2 4, ライズ遷移パルス発生回路 4 2 5 は、それぞれ図 8 3 に示された入力バッファ 2 2 1 1, ライズ遷移パルス発生回路 2 2 1 2, 遅延回路 2 2 1 3, 分周回路 2 2 1 4, ライズ遷移パルス発生回路 2 2 1 5 と同じ構成, 機能を有している。したがって、クロック信号回路 4 2 A は、スイッチ回路 4 2 6 が図示の接続状態では、第 1 3 実施例の場合のクロック信号回路 3 2 A と同じ機能を有し、スイッチ回路 4 2 6 が図示と反対の接続状態では、第 3 の従来例の場合のクロック信号回路 2 2 1 と同じ機能を有している。

【0153】ライトデータマスク回路 4 3 A は、図 4 9 に示すように、入力バッファ 4 3 1 と、レジスタ回路 4 3 2, 4 3 3, 4 3 4, 4 3 5, 4 3 6, 4 3 7 と、ライトデータマスク信号ドライブ回路 4 3 8 A と、スイッチ回路 4 3 9, 4 3 1 0, 4 3 1 1 とを有している。入力バッファ 4 3 1, レジスタ回路 4 3 2, 4 3 3, 4 3 4, 4 3 5, 4 3 6, 4 3 7, ライトデータマスク信号ドライブ回路 4 3 8 A は、それぞれ、図 4 4 (a) に示された入力バッファ 3 3 1, レジスタ回路 3 3 2, 3 3 3, 3 3 4, 3 3 5, 3 3 6, 3 3 7, ライトデータマスク信号ドライブ回路 3 3 8 A と同じ構成, 機能を有し、入力バッファ 4 3 1, レジスタ回路 4 3 2, 4 3 3, 4 3 6, 4 3 7, ライトデータマスク信号ドライブ回路 4 3 8 A は、それぞれ、図 8 4 (a) に示された入力バッファ 2 2 2 1, レジスタ回路 2 2 2 2, 2 2 2 3, 2 2 2 4, 2 2 2 5, ライトデータマスク信号ドライブ回路 2 2 2 6 と同じ構成, 機能を有している。したがって、ライトデータマスク回路 4 3 A は、スイッチ回路 4 3 9, 4 3 1 0, 4 3 1 1 が図示の接続状態のとき、上述した第 1 3 実施例の場合のライトデータマスク回路 3 3 A と同じ機能を有し、スイッチ回路 4 3 9, 4 3 1 0, 4 3 1 1 が図示と反対の接続状態のとき、第 3 の従来例の場合のデータイン回路 2 2 2 と同じ機能を有している。

【0154】このように、この例の半導体記憶装置の構成によれば、スイッチ回路 4 3 9, 4 3 1 0, 4 3 1 1 の切り換え状態に応じて、第 1 3 実施例の場合の動作と、第 3 の従来例の場合の動作とを切り換えて行うことができる。スイッチ回路 4 3 9, 4 3 1 0, 4 3 1 1 は、ボンディングオプションで設定することによって、上記のいずれかの状態に固定的に切り換えることができることは、第 1 2 実施例の場合と同じである。

【0155】◇第 1 5 実施例

図 5 0 及び図 5 1 は、この発明の第 1 5 実施例である半導体記憶装置の電氣的構成を示すブロック図、図 5 2

は、第 1 5 実施例の動作を説明するタイミングチャート、図 5 3 は、データストロブ信号のタイミングが最も早い場合のラッチマージンの説明図、また、図 5 4 は、データストロブ信号のタイミングが最も遅い場合のラッチマージンの説明図である。この第 1 5 実施例の半導体記憶装置は、図 5 0 及び図 5 1 に示すように、データストロブ信号回路 5 1 A と、クロック信号回路 5 2 A と、ライトデータマスク回路 5 3 A とから概略構成されている。

【0156】データストロブ信号回路 5 1 A は、図 5 0 (a) に示すように、入力バッファ 5 1 1 と、ライズ遷移パルス発生回路 5 1 2 と、フォール遷移パルス発生回路 5 1 3 とを有しており、その構成, 機能は、図 1 5 (a) に示された第 5 実施例のデータストロブ信号回路 5 1 と同様である。

【0157】クロック信号回路 5 2 A は、図 5 0 (b) に示すように、入力バッファ 5 2 1 と、遅延回路 5 2 2 と、ライズ遷移パルス発生回路 5 2 3 とを有しており、その構成, 機能は、図 1 5 (b) に示された第 5 実施例のクロック信号回路 5 2 と同様である。

【0158】ライトデータマスク回路 5 3 A は、図 5 1 (a) に示すように、入力バッファ 5 3 1 と、レジスタ回路 5 3 2, 5 3 3, 5 3 5, 5 3 6, 5 3 7, 5 3 8 と、遅延回路 5 3 4 と、ライトデータマスク信号ドライブ回路 5 3 9 A とを有している。入力バッファ 5 3 1 は、入力データ制御信号 DM_i ($i=U, L$) をレジスタ回路 5 3 2, 5 3 3 に供給する。レジスタ回路 5 3 2 は、入力バッファ 5 3 1 の出力信号を、ワンショットパルス信号 $\Phi d s e$ に応じて取り込む。レジスタ回路 5 3 3 は、入力バッファ 5 3 1 の出力信号を、ワンショットパルス信号 $\Phi d s o$ に応じて取り込む。遅延回路 5 3 4 は、ワンショットパルス信号 $\Phi d s o$ を所定時間遅延して、ワンショットパルス信号 $\Phi d s o d'$ を発生する。レジスタ回路 5 3 5, 5 3 6 は、それぞれレジスタ回路 5 3 2, 5 3 3 の出力信号を、ワンショットパルス信号 $\Phi d s o d'$ に応じて取り込んで、それぞれ出力信号 $e d 1, o d 1$ を発生する。レジスタ回路 5 3 7, 5 3 8 は、それぞれレジスタ回路 5 3 5, 5 3 6 の出力信号を、ワンショットパルス信号 $\Phi c l k d i n$ に応じて取り込んで、それぞれ出力信号 $e d 2, o d 2$ を発生する。ライトデータマスク信号ドライブ回路 5 3 9 A は、レジスタ回路 5 3 7 の出力信号 $e d 2$ と、レジスタ回路 5 3 8 の出力信号 $o d 2$ とを並列に、それぞれ偶数番目のデータバス DME_i ($i=U, L$) と、奇数番目のデータバス DMO_i ($i=U, L$) とに供給し、これによって、入力データ制御信号が図示されないライトデータ制御回路に供給される。ここで、レジスタ回路 5 3 2, 5 3 3, 5 3 5, 5 3 6, 5 3 7, 5 3 8 は、すべて、図 5 1 (b) のレジスタ回路 5 4 A によって示される同じ回路構成を有している。レジスタ回路 5 4 A は、図 1

6 (b) に示されたレジスタ回路54と同じ構成、機能を有している。

【0159】次に、図50乃至図54を参照して、この例の半導体記憶装置の動作について説明する。図50

(a) に示すデータストロープ信号回路51Aでは、データストロープ信号DSの立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号 Φ_{dse} を発生し、また、データストロープ信号DSの立ち下がり（フォール）エッジを検出して、ワンショットパルス信号 Φ_{dso} を発生する。一方、図50 (b) に示すクロック信号回路52Aでは、クロック信号CLKを遅延した信号の立ち上がり（ライズ）エッジを検出して、ワンショットパルス信号 $\Phi_{clk\,din}$ を発生する。

【0160】図51 (a) に示すライトデータマスク回路53Aにおいて、データストロープ信号DSのライズ遷移検出によって発生したワンショットパルス信号 Φ_{dse} によって、入力データ制御信号DMiをレジスタ回路532に取り込み、データストロープ信号DSのフォール遷移検出によって発生したワンショットパルス信号 Φ_{dso} によって、入力データ制御信号DMiをレジスタ回路533に取り込む。次にレジスタ回路532、533に取り込まれた2個分のデータ制御信号を、データストロープ信号DSの立ち下がり（フォール）遷移によって発生したワンショットパルス信号 Φ_{dso} を遅延したワンショットパルス信号 $\Phi_{dso\,d'}$ によって、レジスタ回路535、536に同時に取り込む。この際、ミ斯拉ッチを避けるため、ワンショットパルス信号 $\Phi_{dso\,d'}$ は、ワンショットパルス信号 Φ_{dso} より後に発生するように遅延されている。その後、レジスタ回路535、536に取り込まれたデータ制御信号 $e\,d\,1$ 、 $o\,d\,1$ を、クロック信号CLKのライズ遷移検出によって発生したワンショットパルス信号 $\Phi_{clk\,din}$ によって、次のレジスタ回路537、538へ転送する。クロック信号CLKとデータストロープ信号DSとのタイミング差を示す規格 $t\,DQSS$ は、クロック周期を $t\,CK$ としたとき、例えば、 $0.75\,t\,CK$ ($t\,DQSS$ 最小) ~ $1.25\,t\,CK$ ($t\,DQSS$ 最大) の範囲である。したがって、図53、図54に示すように、 $0.75\,t\,CK$ と $1.25\,t\,CK$ の2つの場合において、ミ斯拉ッチに対するマージンの確保が必要であり、このためワンショットパルス信号 $\Phi_{dso\,d'}$ 発生部での遅延回路534の遅延量と、ワンショットパルス信号 $\Phi_{clk\,din}$ 発生部での遅延回路522の遅延量とを最適値に調整する。これによって、図53においては、データストロープ信号のタイミングが最も早い状態でもラッチマージンが確保されており、図54においては、データストロープ信号のタイミングが最も遅い状態でもラッチマージンが確保されることが示されている。

【0161】このように、この例の半導体記憶装置の構成によれば、データストロープ信号DSの制御によって

取り込まれた入力データ制御信号を、クロック信号CLKの制御に変換する際のラッチマージンを確保することができる。この例では、ラッチマージン確保のための遅延回路の数が増加するが、クロック信号CLKとデータストロープ信号DSによるワンショットパルス信号周波数を同一にできるので、前述の各実施例の場合よりも、さらに高周波の場合にも対応することができる。

【0162】◇第16実施例

図55及び図56は、この発明の第16実施例である半導体記憶装置の電氣的構成を示すブロック図である。この第16実施例の半導体記憶装置は、同図に示すように、データストロープ信号回路61Aと、クロック信号回路62Aと、ライトデータマスク回路63Aとから概略構成されている。

【0163】データストロープ信号回路61Aは、図55 (a) に示すように、入力バッファ611と、ライズ遷移パルス発生回路612と、フォール遷移パルス発生回路613とを有している。入力バッファ611、ライズ遷移パルス発生回路612、フォール遷移パルス発生回路613は、それぞれ、図50 (a) に示された入力バッファ511、ライズ遷移パルス発生回路512、フォール遷移パルス発生回路513と同じ構成、機能を有している。したがって、データストロープ信号回路61Aは、第15実施例のデータストロープ信号回路51Aと同じ機能を有している。

【0164】クロック信号回路62Aは、図55 (b) に示すように、入力バッファ621と、分周回路622と、スイッチ回路623と、ライズ遷移パルス発生回路624と、スイッチ回路625と、遅延回路626と、1周期遅延回路627と、分周回路628と、スイッチ回路629と、ライズ遷移パルス発生回路6210とを有している。入力バッファ621、遅延回路626、ライズ遷移パルス発生回路624は、それぞれ、図50図 (b) に示された入力バッファ521、遅延回路522、ライズ遷移パルス発生回路523と略同じ構成、機能を有し、入力バッファ621、分周回路622、ライズ遷移パルス発生回路624、遅延回路626、1周期遅延回路627、分周回路628、ライズ遷移パルス発生回路6210は、それぞれ図86に示された入力バッファ2311、分周回路2312、ライズ遷移パルス発生回路2313、遅延回路2314、1周期遅延回路2315、分周回路2316、ライズ遷移パルス発生回路2317と略同じ構成、機能を有している。したがって、クロック信号回路62Aは、スイッチ回路623、625、629が図示の接続状態では、第15実施例の場合のクロック信号回路52Aと同じ機能を有し、スイッチ回路623、625、629が図示と反対の接続状態では、第4の従来例と同じ機能を有している。

【0165】ライトデータマスク回路63Aは、図56に示すように、入力バッファ631と、レジスタ回路6

32, 633, 635, 636, 637, 638と、遅延回路634と、ライトデータマスク信号ドライブ回路639Aと、スイッチ回路6310, 6311, 6312, 6313とを有している。入力バッファ631, レジスタ回路632, 633, 635, 636, 637, 638, 遅延回路634, ライトデータマスク信号ドライブ回路639Aは、それぞれ、図51(a)に示された入力バッファ531, レジスタ回路532, 533, 535, 536, 537, 538, 遅延回路534, ライトデータマスク信号ドライブ回路539Aと同じ構成、機能を有し、入力バッファ631, レジスタ回路632, 633, 637, 638, データバスドライブ回路639は、それぞれ、図87(a)に示された入力バッファ2321, レジスタ回路2322, 2323, 2324, 2325, ライトデータマスク信号ドライブ回路2326と同じ構成、機能を有している。したがって、ライトデータマスク回路63Aは、スイッチ回路6310, 6311, 6312, 6313が図示の接続状態のとき、第15実施例の場合のライトデータマスク回路53Aと同じ機能を有し、スイッチ回路6310, 6311, 6312, 6313が図示と反対の接続状態のとき、第4の従来例の場合のライトデータマスク回路232と同じ機能を有している。

【0166】このように、この例の半導体記憶装置の構成によれば、スイッチ回路623, 625, 626, 629, 6310, 6311, 6312, 6313の切り換え状態に応じて、第15実施例の場合の動作と、第4の従来例の場合の動作とを切り換えて行うことができる。スイッチ回路623, 625, 626, 629, 6310, 6311, 6312, 6313は、ボンディングオプションで設定することによって、上記のいずれかの状態に固定的に切り換えることができることは、第12実施例の場合と同じである。

【0167】◇第17実施例

図57及び図58は、この発明の第17実施例である半導体記憶装置の電氣的構成を示すブロック図、図59は、第17実施例の動作を説明するタイミングチャート、図60は、データストロープ信号のタイミングが最も早い場合のラッチマージンの説明図、図61は、データストロープ信号のタイミングが最も遅い場合のラッチマージンの説明図である。この第17実施例の半導体記憶装置は、図57及び図58に示すように、データストロープ信号回路71Aと、クロック信号回路72Aと、ライトデータマスク回路73Aとから概略構成されている。

【0168】データストロープ信号回路71Aは、図57(a)に示すように、入力バッファ711と、ライズ／フォール遷移パルス発生回路712と、インバータ713と、遅延回路714とを有しており、その構成、機能は、図22(a)に示された第7実施例のデータスト

ロープ信号回路71と同様である。

【0169】クロック信号回路72Aは、図57(b)に示すように、入力バッファ721と、フォール遷移パルス発生回路722とを有しており、その構成、機能は、図22(b)に示された第7実施例のクロック信号回路72と同様である。

【0170】ライトデータマスク回路73Aは、図58(a)に示すように、入力バッファ731と、レジスタ回路732, 733, 736, 737と、データラッチ回路734, 735と、ライトデータマスク信号ドライブ回路738Aとを有している。入力バッファ731は、入力データ制御信号DMi (i=U, L)をレジスタ回路732に供給する。レジスタ回路732は、入力バッファ731の出力信号を、ワンショットパルス信号Φdse oに応じて取り込む。レジスタ回路733は、レジスタ回路732の出力信号を、次のワンショットパルス信号Φdse oに応じて取り込む。データラッチ回路734, 735は、それぞれレジスタ回路732, 733の出力信号を、遅延データストロープ信号DSDに応じてラッチして、それぞれ出力信号ed1, od1を発生する。レジスタ回路736, 737は、それぞれデータラッチ回路734, 735の出力信号を、ワンショットパルス信号Φclk din'に応じて取り込んで、それぞれ出力信号ed2, od2を発生する。データバスドライブ回路738は、レジスタ回路736の出力信号ed2と、レジスタ回路737の出力信号od2とを並列に、それぞれ偶数番目のデータバスDMi (i=U, L)と、奇数番目のデータバスDMO i (i=U, L)とに供給し、これによって、入力データ制御信号が図示されないライトデータ制御回路に供給される。

【0171】ここで、レジスタ回路732, 733, 736, 737は、すべて図58(b)のレジスタ回路74Aによって示される同じ回路構成を有している。レジスタ回路74Aは、図58(b)に示すように、図23(b)に示されたレジスタ回路74と同じ構成、機能を有している。また、データラッチ回路734, 735は、図58(c)のデータラッチ回路75Aによって示される構成を有している。データラッチ回路75Aは、図58(c)に示すように、図23(c)に示されたデータラッチ回路75と同じ構成、機能を有している。

【0172】次に、図57乃至図61を参照して、この例の半導体記憶装置の動作を説明する。図57(a)に示すデータストロープ信号回路71Aでは、データストロープ信号DSの立ち上がり(ライズ)エッジと立ち下がり(フォール)エッジとを検出して、ワンショットパルス信号Φdse oを発生し、データストロープ信号DSを反転し遅延して、遅延データストロープ信号DSDを発生する。一方、図57(b)に示すクロック信号回路72Aでは、クロック信号CLKの立ち下がり(フォール)エッジを検出して、ワンショットパルス信号Φc

l k d i n' を発生する。

【0173】図58(a)に示すライトデータマスク回路73Aにおいて、データストロブ信号DSのライズ遷移とフォール遷移の検出によって発生したワンショットパルス信号 $\Phi d s e o$ に応じて、入力データ制御信号DMiをレジスタ回路732に取り込み、レジスタ回路732の出力信号を、次のワンショットパルス信号 $\Phi d s e o$ に応じてレジスタ回路733に取り込む。次にレジスタ回路732, 733に取り込まれた2個分のデータ制御信号を、遅延データストロブ信号DSDに応じて、データラッチ回路734, 735に同時に取り込む。その後、データラッチ回路734, 735に取り込まれたデータ制御信号を、クロック信号CLKのフォール遷移検出によって発生したワンショットパルス信号 $\Phi c l k d i n'$ によって、次のレジスタ回路736, 737へ転送する。クロック信号CLKとデータストロブ信号DSとのタイミング差を示す規格tDQSSは、クロック周期をtCKとしたとき、例えば、 $0.4 tCK$ (tDQSS最小) $\sim 0.9 tCK$ (tDQSS最大) の範囲である。したがって、図60, 図61に示すように、 $0.4 tCK$ と $0.9 tCK$ の2つの場合において、ミスラッチに対するマージンの確保が必要であり、このため遅延データストロブ信号DSD発生部での遅延回路714の遅延量を最適値に調整する。これによって、図60においては、データストロブ信号のタイミングが最も早い状態でもラッチマージンが確保されており、図61においては、データストロブ信号のタイミングが最も遅い状態でもラッチマージンが確保されることが示されている。

【0174】このように、この例の半導体記憶装置の構成によれば、データストロブ信号DSの制御によって取り込まれた入力データ制御信号を、クロック信号CLKの制御に変換する際のラッチマージンを確保することができる。この例は、クロック信号CLKとデータストロブ信号DSとのタイミング差を示すtDQSの値が小さい場合に有効であるとともに、ラッチマージン確保のための遅延回路の数が少ないので、回路構成が簡単になる。さらにこの例では、クロック信号CLKによる制御も、ワンショットパルス信号 $\Phi c l k d i n'$ によって行うことで、クロック信号CLKのデューティに対する依存性を解消することができる。

【0175】◇第18実施例

図62及び図63は、この発明の第18実施例である半導体記憶装置の電氣的構成を示すブロック図である。この第18実施例の半導体記憶装置は、同図に示すように、データストロブ信号回路81Aと、クロック信号回路82Aと、データイン回路83Aとから概略構成されている。

【0176】データストロブ信号回路81Aは、図62(a)に示すように、入力バッファ811と、ライズ

／フォール遷移パルス発生回路812と、インバータ813と、遅延回路814とを有している。入力バッファ811, ライズ／フォール遷移パルス発生回路812, インバータ813, 遅延回路814は、それぞれ、図57(a)に示された入力バッファ711, ライズ／フォール遷移パルス発生回路712, インバータ713, 遅延回路714と同じ構成、機能を有している。したがって、データストロブ信号回路81Aは、第17実施例のデータストロブ信号回路71Aと同じ機能を有している。

【0177】クロック信号回路82Aは、図62(b)に示すように、入力バッファ821と、フォール遷移パルス発生回路822と、ライズ遷移パルス発生回路823と、遅延回路824と、分周回路825と、ライズ遷移パルス発生回路826と、スイッチ回路827とを有している。入力バッファ821, フォール遷移パルス発生回路822は、図57(b)に示された入力バッファ721, フォール遷移パルス発生回路722と同じ構成、機能を有している。入力バッファ821, ライズ遷移パルス発生回路823, 遅延回路824, 分周回路825, ライズ遷移パルス発生回路826は、図83に示された入力バッファ2211, ライズ遷移パルス発生回路2212, 遅延回路2213, 分周回路2214, ライズ遷移パルス発生回路2215と同じ構成、機能を有している。したがって、クロック信号回路82Aは、スイッチ回路827が図示の接続状態では、第17実施例の場合のクロック信号回路72Aと同じ機能を有し、スイッチ回路827が図示と反対の接続状態では、第3の従来例の場合のクロック信号回路221と同じ機能を有している。

【0178】ライトデータマスク回路83Aは、図63に示すように、入力バッファ831と、レジスタ回路832, 833, 836, 837と、データラッチ回路834, 835と、ライトデータマスク信号ドライブ回路838Aと、スイッチ回路839, 8310, 8311, 8312とを有している。入力バッファ831と、レジスタ回路832, 833, 836, 837と、データラッチ回路834, 835と、データバスドライブ回路838とは、図58(a)に示された入力バッファ731と、レジスタ回路732, 733, 736, 737と、データラッチ回路734, 735と、ライトデータマスク信号ドライブ回路738Aと同じ構成、機能を有している。入力バッファ831と、レジスタ回路832, 833, 836, 837と、ライトデータマスク信号ドライブ回路838Aとは、図84(a)に示された入力バッファ2221と、レジスタ回路2222, 2223, 2224, 2225と、ライトデータマスク信号ドライブ回路2226と同じ構成、機能を有している。したがって、ライトデータマスク回路83Aは、スイッチ回路839, 8310, 8311, 8312が図示の

接続状態のときは、第17実施例の場合のライトデータマスク回路73Aと同じ機能を有し、スイッチ回路839、8310、8311、8312が図示と反対の接続状態のときは、第3の従来例の場合のライトデータマスク222と同じ機能を有している。

【0179】このように、この例の半導体記憶装置の構成によれば、スイッチ回路827、839、8310、8311、8312の切り換え状態に応じて、第17実施例の場合の動作と、第3の従来例の場合の動作とを切り換えて行うことができる。スイッチ回路827、839、8310、8311、8312は、ボンディングオプションで設定することによって、上記のいずれかの状態に固定的に切り換えることができることは、第12実施例の場合と同じである。

【0180】◇第19実施例

図64及び図65は、この発明の第19実施例である半導体記憶装置の電氣的構成を示すブロック図、図66は、第19実施例の動作を説明するタイミングチャート、図67は、データストロブ信号のタイミングが最も早い場合のラッチマージンの説明図、また、図68は、データストロブ信号のタイミングが最も遅い場合のラッチマージンの説明図である。この第19実施例の半導体記憶装置は、図64及び図65に示すように、データストロブ信号回路91Aと、クロック信号回路92Aと、ライトデータマスク回路93Aとから概略構成されている。

【0181】データストロブ信号回路91Aは、図64(a)に示すように、入力バッファ911と、ライズ遷移パルス発生回路912と、フォール遷移パルス発生回路913と、インバータ914と、遅延回路915とを有しており、その構成、機能は、図29(a)に示された第9実施例のデータストロブ信号回路91と同様である。

【0182】クロック信号回路92Aは、図64(b)に示すように、入力バッファ921と、フォール遷移パルス発生回路922とを有しており、その構成、機能は、図29(b)に示された第9実施例のクロック信号回路92と同様である。

【0183】データイン回路93Aは、図65(a)に示すように、入力バッファ931と、レジスタ回路932、933、936、937と、データラッチ回路934、935と、データバスドライブ回路938とを有している。入力バッファ931は、入力データ制御信号DMi(i=U, L)をレジスタ回路932、933に供給する。レジスタ回路932は、入力バッファ931の出力信号を、ワンショットパルス信号Φdseに応じて取り込む。レジスタ回路933は、入力バッファ931の出力信号を、ワンショットパルス信号Φdsoに応じて取り込む。データラッチ回路934、935は、それぞれレジスタ回路932、933の出力信号を、遅延デ

ータストロブ信号DSDに応じてラッチして、それぞれ出力信号ed1, od1を発生する。レジスタ回路936、937は、それぞれデータラッチ回路934、935の出力信号を、ワンショットパルス信号Φclkdin'に応じて取り込んで、それぞれ出力信号ed2, od2を発生する。ライトデータマスク信号ドライブ回路938Aは、レジスタ回路936の出力信号ed2と、レジスタ回路937の出力信号od2とを並列に、それぞれ偶数番目のデータバスDMEi(i=U, L)と、奇数番目のデータバスDMOi(i=U, L)とに供給し、これによって、入力データ制御信号が図示されないライトデータ制御回路に供給される。ここで、レジスタ回路932、933、936、937は、すべて、図65(b)のレジスタ回路94Aによって示される同じ回路構成を有している。レジスタ回路94Aは、図30(b)に示されたレジスタ回路94と略同じ構成、機能を有している。また、データラッチ回路934、935は、図65(c)のデータラッチ回路95Aによって示される同じ回路構成を有している。データラッチ回路95Aは、図30(c)に示されたデータラッチ回路95と略同じ構成、機能を有している。

【0184】次に、図64乃至図68を参照して、この例の半導体記憶装置の動作について説明する。図64

(a)に示すデータストロブ信号回路91Aでは、データストロブ信号DSの立ち上がり(ライズ)エッジを検出して、ワンショットパルス信号Φdseを発生し、また、データストロブ信号DSの立ち下がり(フォール)エッジを検出して、ワンショットパルス信号Φdsoを発生する。さらに、データストロブ信号DSを反転し遅延して、遅延データストロブ信号DSDを発生する。一方、図64(b)に示すクロック信号回路92Aでは、クロック信号CLKの立ち下がり(フォール)エッジを検出して、ワンショットパルス信号Φclkdin'を発生する。

【0185】図65(a)に示すライトデータマスク回路93Aにおいて、データストロブ信号DSのライズ遷移検出によって発生したワンショットパルス信号Φdseによって、入力データ制御信号DMiをレジスタ回路932に取り込み、データストロブ信号DSのフォール遷移検出によって発生したワンショットパルス信号Φdsoによって、データ入力DMiをレジスタ回路933に取り込む。次にレジスタ回路932、933に取り込まれた2個分のデータ制御信号を、遅延データストロブ信号DSDに応じて、データラッチ回路934、935に同時に取り込む。その後、データラッチ回路934、935に取り込まれたデータ制御信号ed1, od1を、クロック信号CLKのフォール遷移検出によって発生したワンショットパルス信号Φclkdin'によって、次のレジスタ回路936、937へ転送する。クロック信号CLKとデータストロブ信号DSとのタ

イミング差を示す規格 t_{DQS} は、クロック周期を t_{CK} としたとき、例えば、 $0.4 t_{CK}$ (t_{DQS} 最小) ~ $0.9 t_{CK}$ (t_{DQS} 最大) の範囲である。したがって、図67、図68に示すように、 $0.4 t_{CK}$ と $0.9 t_{CK}$ の2つの場合において、ミスラッチに対するマージンの確保が必要であり、このため遅延データストロブ信号 DS 発生部での遅延回路915の遅延量を最適値に調整する。これによって、図67においては、データストロブ信号のタイミングが最も早い状態でもラッチマージンが確保されており、図68においては、データストロブ信号のタイミングが最も遅い状態でもラッチマージンが確保されることが示されている。

【0186】このように、この例の半導体記憶装置の構成によれば、データストロブ信号 DS の制御によって取り込まれた入力データ制御信号を、クロック信号 CLK の制御に変換する際のラッチマージンを確保することができる。この例は、クロック信号 CLK とデータストロブ信号 DS とのタイミング差を示す t_{DQS} の値が小さい場合に有効であるとともに、ラッチマージン確保のための遅延回路の数が少ないので、回路構成が簡単になる。さらにこの例では、クロック信号 CLK による制御も、ワンショットパルス信号 $\Phi_{clk\,din}$ によって行うことで、クロック信号 CLK のデューティに対する依存性を解消することができる。

【0187】◇第20実施例

図69及び図70は、この発明の第20実施例である半導体記憶装置の電氣的構成を示すブロック図である。この第20実施例の半導体記憶装置は、同図に示すように、データストロブ信号回路101Aと、クロック信号回路102Aと、ライトデータマスク回路103Aとから概略構成されている。

【0188】データストロブ信号回路101Aは、図69(a)に示すように、入力バッファ1011と、ライズ遷移パルス発生回路1012と、フォール遷移パルス発生回路1013と、インバータ1014と、遅延回路1015とを有している。入力バッファ1011、ライズ遷移パルス発生回路1012、フォール遷移パルス発生回路1013、インバータ1014、遅延回路1015は、図64(a)に示された入力バッファ911、ライズ遷移パルス発生回路912、フォール遷移パルス発生回路913、インバータ914、遅延回路915と同じ構成、機能を有している。したがって、データストロブ信号回路101Aは、第19実施例のデータストロブ信号回路91Aと略同じ機能を有している。

【0189】クロック信号回路102Aは、図69(b)に示すように、入力バッファ1021と、フォール遷移パルス発生回路1022と、分周回路1023と、ライズ遷移パルス発生回路1024と、遅延回路1025と、1周期遅延回路1026と、分周回路102

7と、ライズ遷移パルス発生回路1028と、スイッチ回路1029とを有している。入力バッファ1021、フォール遷移パルス発生回路1022は、図64(b)に示された入力バッファ921、フォール遷移パルス発生回路922と同じ構成、機能を有している。入力バッファ1021、分周回路1023、ライズ遷移パルス発生回路1024、遅延回路1025、1周期遅延回路1026、分周回路1027、ライズ遷移パルス発生回路1028は、図85に示された入力バッファ2311、分周回路2312、ライズ遷移パルス発生回路2313、遅延回路2314、1周期遅延回路2315、分周回路2316、ライズ遷移パルス発生回路2317と同じ構成、機能を有している。したがって、クロック信号回路102は、スイッチ回路1029が図示の接続状態では、第19実施例の場合のクロック信号回路92Aと同じ機能を有し、スイッチ回路1029が図示と反対の接続状態では、第4の従来例の場合のクロック信号回路231と同じ機能を有している。

【0190】また、ライトデータマスク回路103Aは、図70に示すように、入力バッファ1031と、レジスタ回路1032、1033、1036、1037と、データラッチ回路1034、1035と、ライトデータマスク信号ドライブ回路1038Aと、スイッチ回路1039、10310、10311、10312、10313とを有してなっている。入力バッファ1031と、レジスタ回路1032、1033、1036、1037と、データラッチ回路1034、1035と、ライトデータマスク信号ドライブ回路1038Aとは、図65(a)に示された入力バッファ931と、レジスタ回路932、933、936、937と、データラッチ回路934、935と、ライトデータマスク信号ドライブ回路938Aと同じ構成、機能を有している。入力バッファ1031と、レジスタ回路1032、1033、1036、1037と、データバスドライブ回路1038Aとは、図87(a)に示された入力バッファ2321と、レジスタ回路2322、2323、2324、2325と、ライトデータマスク信号ドライブ回路2326と同じ構成、機能を有している。したがって、ライトデータマスク回路103Aは、スイッチ回路1029、1039、10310、10311、10312、10313が図示の接続状態のときは、第19実施例の場合のデータイン回路93Aと同じ機能を有し、スイッチ回路1029、1039、10310、10311、10312、10313が図示と反対の接続状態のときは、第4の従来例の場合のデータイン回路232と同じ機能を有している。

【0191】このように、この例の半導体記憶装置の構成によれば、スイッチ回路1029、1039、10310、10311、10312、10313の切り換えに応じて、第19実施例の場合の動作と、第4の従来例

の場合の動作とを切り換えて行うことができる。スイッチ回路1029, 1039, 10310, 10311, 10312, 10313は、ボンディングオプションによって設定することによって、上記のいずれかの状態に固定的に切り換えることができることは、第12実施例の場合と同じである。

【0192】◇第21実施例

図71は、この発明の第21実施例である半導体記憶装置の電氣的構成を示すブロック図、図72は、第21実施例におけるタイミング信号作成回路の構成を示す図である。この例の半導体記憶装置は、図71に示すように、クロック信号回路361と、データストロープ信号回路362と、中間バッファ回路363と、データイン(DIN)回路364と、ライトデータマスク(CDM)回路365とから概略構成されている。

【0193】クロック信号回路361は、上記各実施例に示された構成、機能を有し、クロック信号CLKから、その立ち上がり(ライズ)エッジを検出したワンショットパルス信号Φclkを出力する。データストロープ信号回路362は、上記各実施例に示された構成、機能を有し、データストロープ信号DSから、その立ち上がり(ライズ)エッジと立ち下がり(フォール)エッジとを検出したワンショットパルス信号Φdseoと、データストロープ信号DSの立ち下がり(フォール)エッジのみを検出して遅延したタイミング信号Φdsodとを出力する。中間バッファ363は、これらの各タイミング信号Φclk, Φdseo, Φdsodを増幅するとともに、切り替えを行って、データイン回路364と、ライトデータマスク回路365にタイミング信号を供給する。

【0194】データイン回路364は、上記各実施例に示された構成、機能を有し、中間バッファ363から出力されるタイミング信号を用いて、上記各実施例に示されたような、データストロープ信号DSの制御で取り込んだ入力データをクロック信号CLKの制御に変換する動作を行う。ライトデータマスク回路365は、上記各実施例に示された構成、機能を有し、中間バッファ363から出力されるタイミング信号を用いて、上記各実施例に示されたような、データストロープ信号DSの制御で取り込んだ入力データ制御信号をクロック信号CLKの制御に変換する動作を行う。

【0195】この例のタイミング信号作成回路370は、図72に示す構成を有し、中間バッファ363に含まれている。タイミング信号作成回路370においては、増幅部371を介してタイミング信号Φdsodを増幅して、タイミング信号ΦdsodD(Dは出力タイミング信号であることを示す。以下、同様)として出力する。また、選択部(MUX)372において、モード制御信号MDDRにに応じて、ワンショットパルス信号Φclkとワンショットパルス信号ΦdseoU(Uは

入力データ制御信号のUビットに対応するタイミング信号を示す。以下、同様)とを切り替えたのち、増幅部373で増幅して、タイミング信号ΦdseoDとして出力する。さらに、アンド回路374でワンショットパルス信号Φclkと、SDR型半導体記憶装置としての動作モード又はDDR型半導体記憶装置としての動作モードを定めるためのモード制御信号MDDRとの論理積をとり、遅延回路375で遅延し、増幅部376で増幅して、クロック信号CLK又はその1周期遅れの信号Φclkを遅延したワンショットパルス信号ΦclkdinDとして出力する。

【0196】このように、この例の半導体記憶装置の構成によれば、動作モードを示すモード制御信号MDDRにに応じて選択されたタイミング信号を、中間バッファを経て各データイン回路又はライトデータマスク回路に供給するので、上述の各実施例に示された、SDR型半導体記憶装置の動作又はDDR型半導体記憶装置の動作を実現することができる。

【0197】◇第22実施例

図73は、この発明の第22実施例である半導体記憶装置の電氣的構成を示すブロック図、図74は、第22実施例におけるタイミング信号作成回路の構成を示す図である。この例の半導体記憶装置は、図73に示すように、クロック信号回路381と、データストロープ信号回路382, 383と、中間バッファ回路384と、データイン(DIN)回路385と、ライトデータマスク(CDM)回路386, 387とから概略構成されている。

【0198】クロック信号回路381は、上記各実施例に示された構成、機能を有し、クロック信号CLKから、その立ち上がり(ライズ)エッジを検出したワンショットパルス信号Φclkを出力する。データストロープ信号回路382は、上記各実施例に示された構成、機能を有し、Lビットに対応するデータストロープ信号DSLから、その立ち上がり(ライズ)エッジと立ち下がり(フォール)エッジを検出したワンショットパルス信号ΦdseoLと、データストロープ信号DSLの立ち下がり(フォール)エッジのみを検出して遅延したタイミング信号ΦdsodLとを出力する。データストロープ信号回路383は、上記各実施例に示された構成、機能を有し、Uビットに対応するデータストロープ信号DSUから、その立ち上がり(ライズ)エッジと立ち下がり(フォール)エッジを検出したワンショットパルス信号ΦdseoUと、データストロープ信号DSUの立ち下がり(フォール)エッジのみを検出して遅延したタイミング信号ΦdsodUとを出力する。中間バッファ384は、これらの各タイミング信号Φclk, ΦdseoU, ΦdsodU, ΦdseoL, ΦdsodLを増幅するとともに、切り替えを行って、データイン回路385と、ライトデータマスク回路386, 387にタイ

ミング信号を供給する。

【0199】データイン回路385は、上記各実施例に示された構成、機能を有し、中間バッファ384から出力されるタイミング信号を用いて、上記各実施例に示されたような、データストロブ信号DSの制御で取り込んだ入力データをクロック信号CLKの制御に変換する動作を行う。ライトデータマスク回路386は、上記各実施例に示された構成、機能を有し、中間バッファ394から出力される、Lビットに対応するタイミング信号を用いて、上記各実施例に示されたような、データストロブ信号DSの制御で取り込んだ入力データ制御信号をクロック信号CLKの制御に変換する動作を行う。ライトデータマスク回路387は、上記各実施例に示された構成、機能を有し、中間バッファ394から出力される、Uビットに対応するタイミング信号を用いて、上記各実施例に示されたような、データストロブ信号DSの制御で取り込んだ入力データ制御信号をクロック信号CLKの制御に変換する動作を行う。

【0200】この例のタイミング信号作成回路390は、図74に示す構成を有し、中間バッファ384に含まれている。タイミング信号作成回路390においては、増幅部391を介してタイミング信号 $\Phi dsodU$ を増幅して、タイミング信号 $\Phi dsodDU$ として出力する。また、選択部(MUX)392において、Uビット又はLビットの別を示すビット指定信号MDXに応じて、タイミング信号 $\Phi dsodU$ とタイミング信号 $\Phi dsodL$ (Lは入力データ制御信号のLビットに対応するタイミング信号を示す。以下、同様)とを切り替えたのち、増幅部393で増幅して、タイミング信号 $\Phi dsodDL$ として出力する。また、選択部394において、モード制御信号MDDDRに応じて、ワンショットパルス信号 Φclk とワンショットパルス信号 $\Phi dseou$ とを切り替えたのち、増幅部395で増幅して、ワンショットパルス信号 $\Phi dseodU$ として出力する。また、選択部396において、モード制御信号MDDDRに応じて、ワンショットパルス信号 Φclk とワンショットパルス信号 $\Phi dseou$ とワンショットパルス信号 $\Phi dseol$ とからいずれか一つを選択したのち、増幅部397で増幅して、ワンショットパルス信号 $\Phi dseodL$ として出力する。さらに、アンド回路398でワンショットパルス信号 Φclk とモード制御信号MDDDRとの論理積をとり、遅延回路399で遅延し、増幅部3910で増幅して、クロック信号CLK又はその1周期遅れの信号 Φ /clk を遅延したワンショットパルス信号 $\Phi clk d nD$ として出力する。

【0201】このように、この例の半導体記憶装置の構成によれば、複数のデータストロブ信号回路から出力されたタイミング信号から、ビット構成を示すビット指定信号MDXと、動作モードを示すモード制御信号MDDDRとに応じて選択されたタイミング信号を、中間バ

ッファを経て、複数に分割された各データイン回路又はライトデータマスク回路に供給するので、上述の各実施例に示された、SDR型半導体記憶装置の動作又はDDR型半導体記憶装置の動作を実現することができる。

【0202】◇第23実施例

図75は、この発明の第23実施例であるモード制御信号作成回路の構成を示す図である。この例のモード制御信号作成回路400は、図75に示す構成を有し、コマンドデコーダ(又はテスト回路)401、402を有している。ボンディングオプションによるスイッチ回路の切り替えを指示する、ボンディングオプション指示信号BOT0が与えられたときは、ノア回路403において、コマンドデコーダ401から信号BOT0を無効にするための禁止(disable)信号KBOが出力されていないことを条件として、指示信号BOT0によって、モード制御信号MDDDRが出力される。また、外部コマンドCMDi(i=0, 1, 2, ...)によって、動作モードが指示されたときは、コマンドデコーダ401がこれをデコードして、モード制御信号MDDDRを、オア回路404を介して出力するとともに、上述の禁止信号KBOを出力して、ボンディングオプション指示信号BOT0によるモード制御信号MDDDRの出力を無効にする。コマンドデコーダ401は、モード制御信号MDDDRの切り替えコマンド専用で設けられているものであって、このコマンドをデコードするとともに、このコマンドのデコード結果を保持して出力することができるようになっていて、一方、コマンドデコーダ402は、各種外部コマンドを取り込むために設けられているものであるが、外部コマンドによって、例えばある種のテスト信号TESTi(i=0, 1, 2, ...)を出力する状態では、同時にリセット信号RESETを出力することによって、コマンドデコーダ401を初期状態にリセットすることができる。

【0203】このように、この例のモード制御信号作成回路によれば、上述の各実施例に示された、ボンディングオプションによるスイッチ回路の切り替えを、外部信号または外部コマンドに応じて、複数に分割された各データイン回路又はライトデータマスク回路ごとに実現することができる。

【0204】◇第24実施例

図76は、この発明の第24実施例である固定電位付与回路の構成を示す図である。この例の固定電位付与回路は、図76に示すように、レベルシフタ411と、トランジスタ412とを有している。モード制御信号MDDDRによって、半導体記憶装置の動作モードの切り替えを行う場合には、インバータを介して供給されたモード制御信号MDDDRを、レベルシフタ411を介してレベルシフトして、トランジスタ412のゲートに与える。これによって、フローティングノードとなる入力端子INPUTに、固定電位FIXVを付与することによ

って、入力端子 INPUT の状態を電氣的に固定して、不安定な動作の発生を防止する。この場合の固定電位としては、例えば、入力データやコマンドの論理レベルを決定するための比較電位である参照電位（当該装置の仕様によって定められている）を使用することができる。

【0205】このように、この例の半導体記憶装置の構成によれば、モード制御信号の切り替えによって、動作モードが変更されたために、フローティングノードとなる入力端子が発生した場合でも、これに固定電位を与えて電氣的に固定するので、不安定な動作が発生する恐れがない。

【0206】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られたものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、第5実施例の場合に、遅延回路522、534を省略することによって、 t_{DQSS} が基準値（ $1t_{CK}$ ）に比較的近い場合に対応可能にすることができ、また、この場合の構成と、第2の従来例の構成との切り換え可能な組み合わせを実現することもできる。さらに、例えば、第5実施例における遅延回路534に相当する遅延回路を、データストロブ信号回路51の内部に設けることによって、データイン回路53内の遅延回路534を省いた回路構成とすることも可能である。図示されないデータ制御回路における、データ制御信号の制御は、マスクに限らず、他の制御であってもよい。また、入力端子がフローティングノードとなる場合に、固定電位として付与する参照電位は、入力端子に与える場合に限らず、入力初段回路に与える参照電位であってもよい。さらに、外部の電源電圧が下がった場合、レベルシフタを用いず直接トランジスタのゲートに制御信号MDDRを用い制御することもよい。この発明のタイミング信号作成回路および制御回路は、半導体記憶装置に対して、その書き込み動作時に限らず、読み出し時の動作モードを制御する。例えば、DDR型半導体記憶装置が外部システムに対し、データ信号とともにデータストロブ信号を供給するが、従来、SDR型半導体記憶装置ではデータのみである。例えば、この動作モードの切り替えをMDDR信号で行う事は容易に適用することができる。

【0207】

【発明の効果】以上説明したように、この発明の半導体記憶装置によれば、データストロブ信号DSを用いたDDR-SDRAMにおいて、データストロブ信号DSから生成したワンショットパルス信号を用いて入力データ又は入力制御信号をラッチした後、ラッチされたデータをクロック信号CLKから生成したワンショットパルス信号を用いてラッチし直すようにしたので、それぞれのワンショットパルス信号の遅延量の制御によって、DS制御で取り込んだ入力データ又は入力データ制御信

号をCLK制御に変換する動作における、入力データ又は入力データ制御信号のラッチマージンを十分確保することができるようになる。また、この際、クロック信号CLKによる制御を、クロック信号CLKから生成したワンショットパルス信号によって行なうようにしたので、クロック信号CLKのデューティ（ハイレベル幅とロウレベル幅の比）に対する依存性を解消することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図2】この発明の第1実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図3】第1実施例の動作を説明するタイミングチャートである。

【図4】第1実施例におけるデータストロブ信号のタイミングが最も早い場合のラッチマージンの説明図である。

【図5】第1実施例におけるデータストロブ信号のタイミングが最も遅い場合のラッチマージンの説明図である。

【図6】この発明の第2実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図7】この発明の第2実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図8】この発明の第3実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図9】この発明の第3実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図10】第3実施例の動作を説明するタイミングチャートである。

【図11】第3実施例におけるデータストロブ信号のタイミングが最も早い場合のラッチマージンの説明図である。

【図12】第3実施例におけるデータストロブ信号のタイミングが最も遅い場合のラッチマージンの説明図である。

【図13】この発明の第4実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図14】この発明の第4実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図15】この発明の第5実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図16】この発明の第5実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図17】第5実施例の動作を説明するタイミングチャートである。

【図18】第5実施例におけるデータストロブ信号のタイミングが最も早い場合のラッチマージンの説明図である。

【図 40】第 11 実施例におけるデータストロープ信号のタイミングが最も遅い場合のラッチマージンの説明図

【図62】 この発明の第18実施例である半導体記憶装

置の電氣的構成を示すブロック図である。

【図 6 3】この発明の第 18 実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図 6 4】この発明の第 19 実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図 6 5】この発明の第 19 実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図 6 6】第 19 実施例の動作を説明するタイミングチャートである。

【図 6 7】第 19 実施例におけるデータストロープ信号のタイミングが最も早い場合のラッチマージンの説明図である。

【図 6 8】第 19 実施例におけるデータストロープ信号のタイミングが最も遅い場合のラッチマージンの説明図である。

【図 6 9】この発明の第 20 実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図 7 0】この発明の第 20 実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図 7 1】この発明の第 21 実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図 7 2】第 21 実施例におけるタイミング信号作成回路の構成を示す図である。

【図 7 3】この発明の第 22 実施例である半導体記憶装置の電氣的構成を示すブロック図である。

【図 7 4】第 22 実施例におけるタイミング信号作成回路の構成を示す図である。

【図 7 5】この発明の第 23 実施例であるモード制御信号作成回路の構成を示す図である。

【図 7 6】この発明の第 24 実施例である固定電位付与回路の構成を示す図である。

【図 7 7】第 1 の従来例の電氣的構成を示すブロック図である。

【図 7 8】第 1 の従来例の電氣的構成を示すブロック図である。

【図 7 9】第 1 の従来例の動作を説明するタイミングチャートである。

【図 8 0】第 2 の従来例の電氣的構成を示すブロック図である。

【図 8 1】第 2 の従来例の電氣的構成を示すブロック図である。

【図 8 2】第 2 の従来例の動作を説明するタイミングチャートである。

【図 8 3】第 3 の従来例の電氣的構成を示すブロック図である。

【図 8 4】第 3 の従来例の電氣的構成を示すブロック図である。

【図 8 5】第 3 の従来例の動作を説明するタイミングチャートである。

【図 8 6】第 4 の従来例の電氣的構成を示すブロック図である。

【図 8 7】第 4 の従来例の電氣的構成を示すブロック図である。

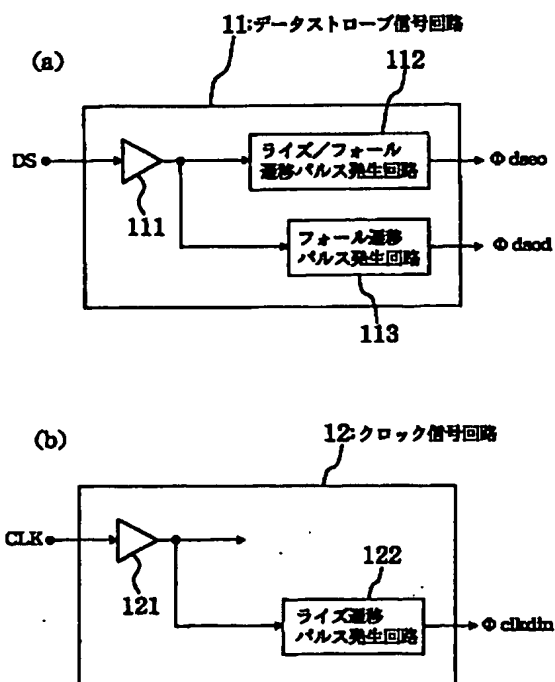
【図 8 8】第 4 の従来例の動作を説明するタイミングチャートである。

【図 8 9】第 5 の従来例の電氣的構成を示すブロック図である。

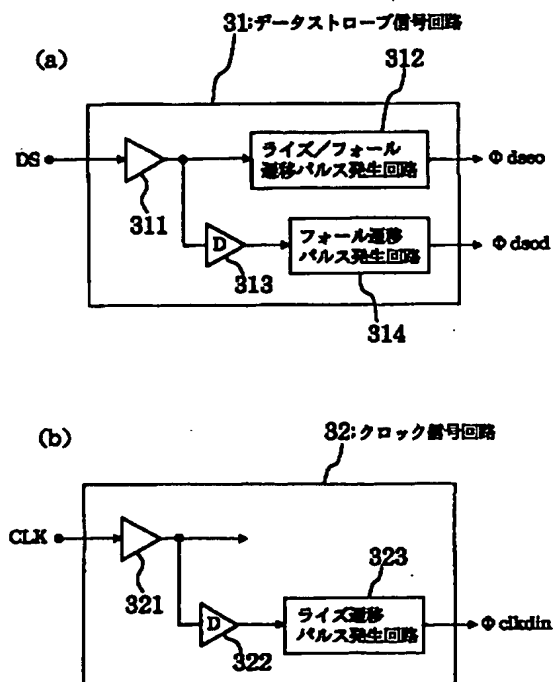
【符号の説明】

11, 21, 31, 41, 51, 61, 71, 81, 91, 101, 11A, 21A, 31A, 41A, 51A, 61A, 71A, 81A, 91A, 101A, 362, 392, 393 データストロープ回路
12, 22, 32, 42, 52, 62, 72, 82, 92, 102, 12A, 22A, 32A, 42A, 52A, 62A, 72A, 82A, 92A, 102A, 361, 391 クロック信号回路
13, 23, 33, 43, 53, 63, 73, 83, 93, 103, 364, 395 データイン回路
13A, 23A, 33A, 43A, 53A, 63A, 73A, 83A, 93A, 103A, 365, 396, 397 ライトデータマスク回路
14, 34, 54, 74, 94, 14A, 34A, 54A, 74A, 94A レジスタ回路
75, 95, 75A, 95A データ制御信号ラッチ
138, 238, 338, 438, 539, 639, 738, 838, 938, 1038 データバスドライバ回路
138A, 238A, 338A, 438A, 539A, 639A, 738A, 838A, 938A, 1038A ライトデータマスク信号ドライバ回路
132, 133, 134, 135, 136, 137, 332, 333, 334, 335, 336, 337, 532, 533, 535, 536, 537, 538, 732, 733, 736, 737, 932, 933, 936, 937 レジスタ回路 (データ保持手段)
363, 394 中間バッファ
734, 735, 934, 935 データラッチ回路 (データ保持手段)

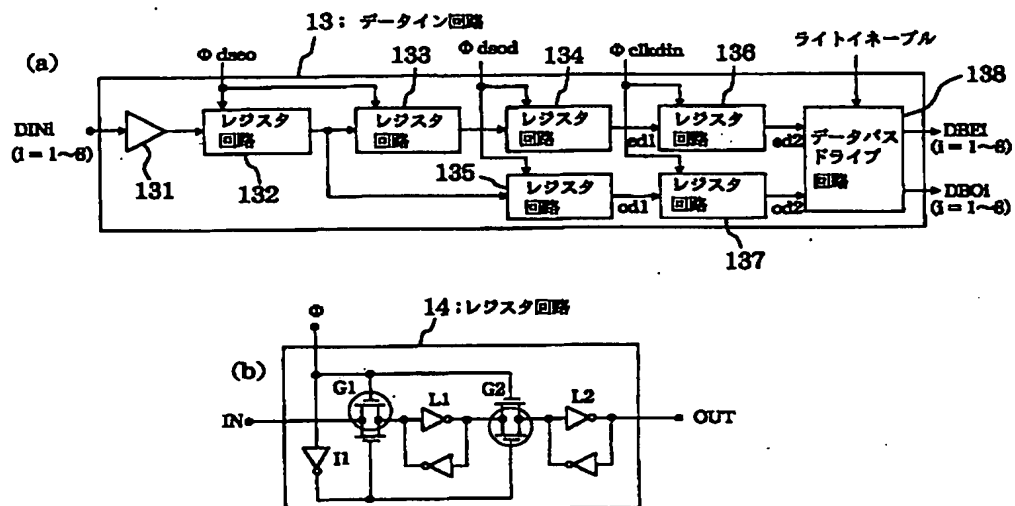
【図 1】



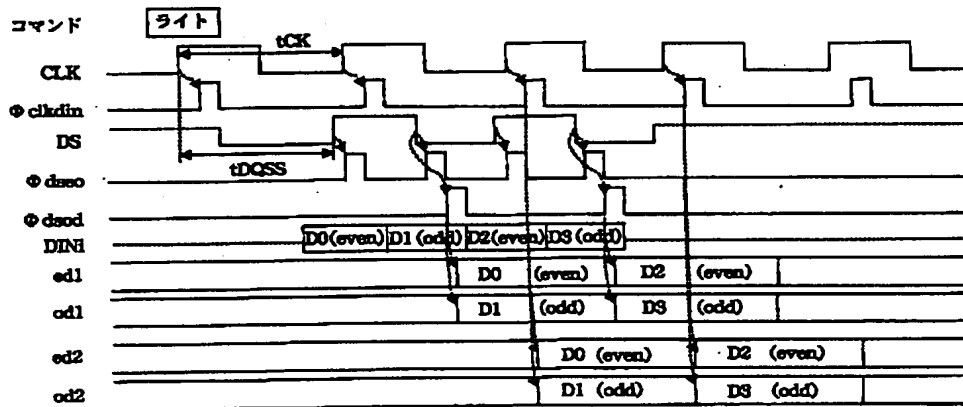
【図 8】



【図 2】



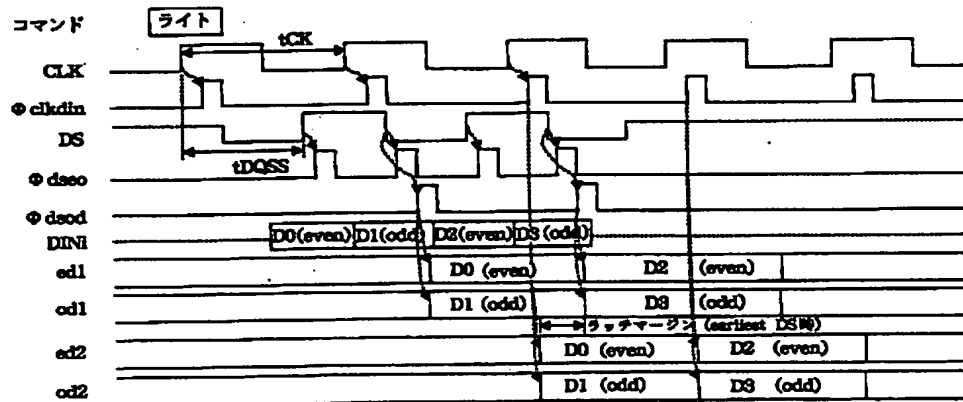
【図 3】



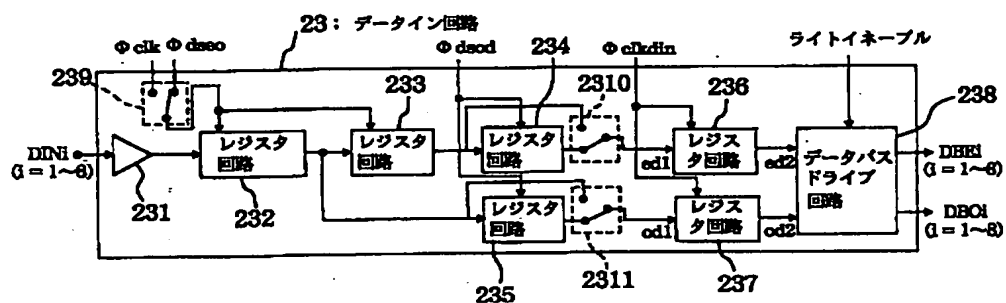
【図 4】

$$tDQSS = 0.75tCK$$

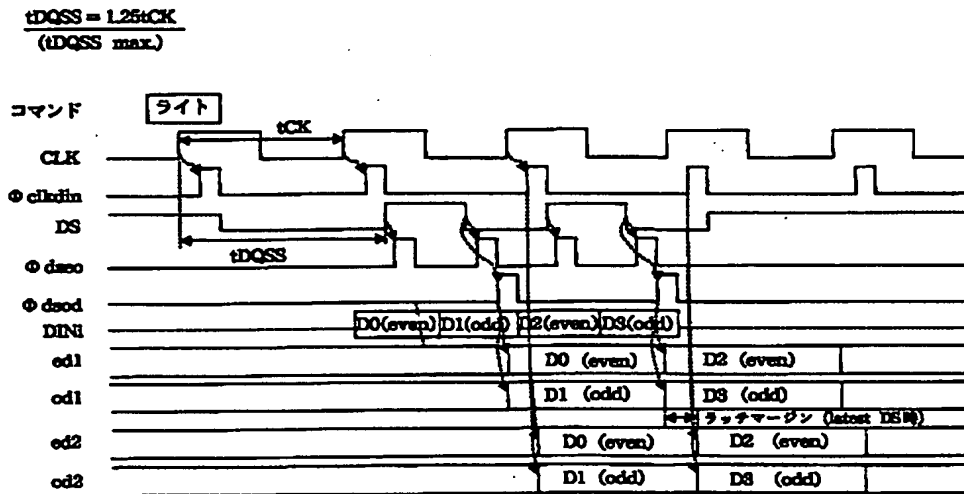
(tDQSS min.)



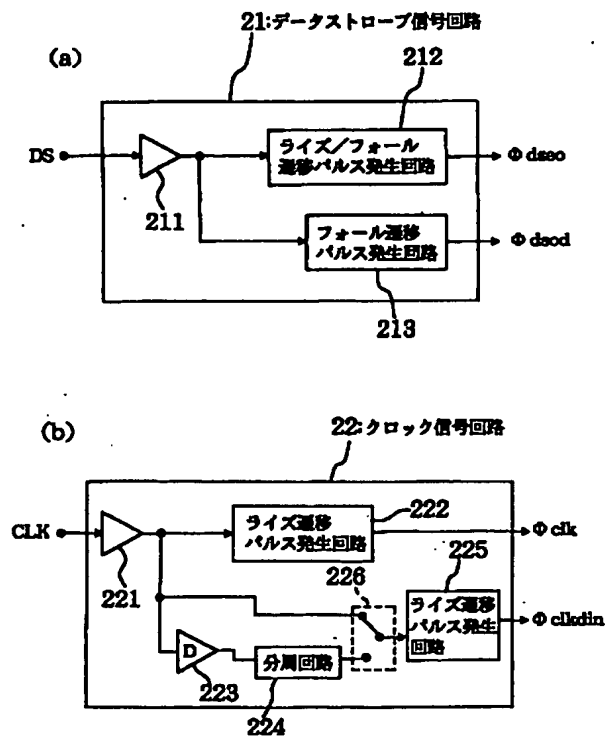
【図 7】



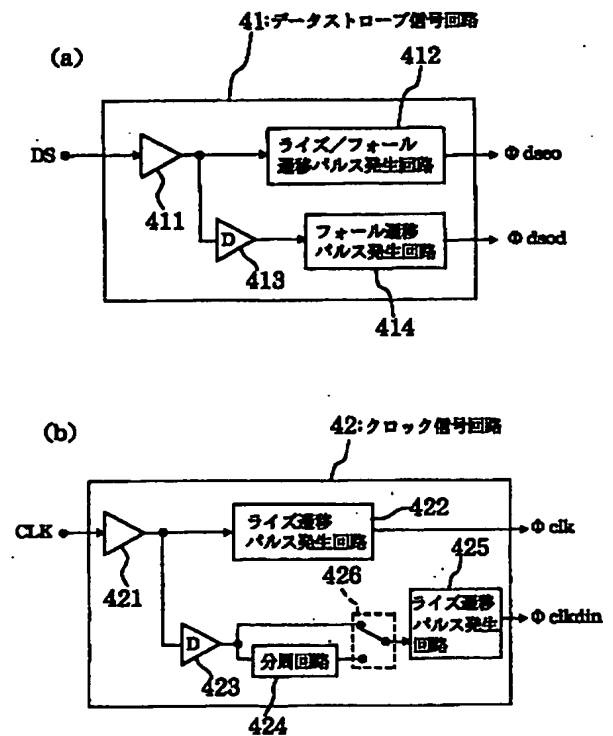
【図 5】



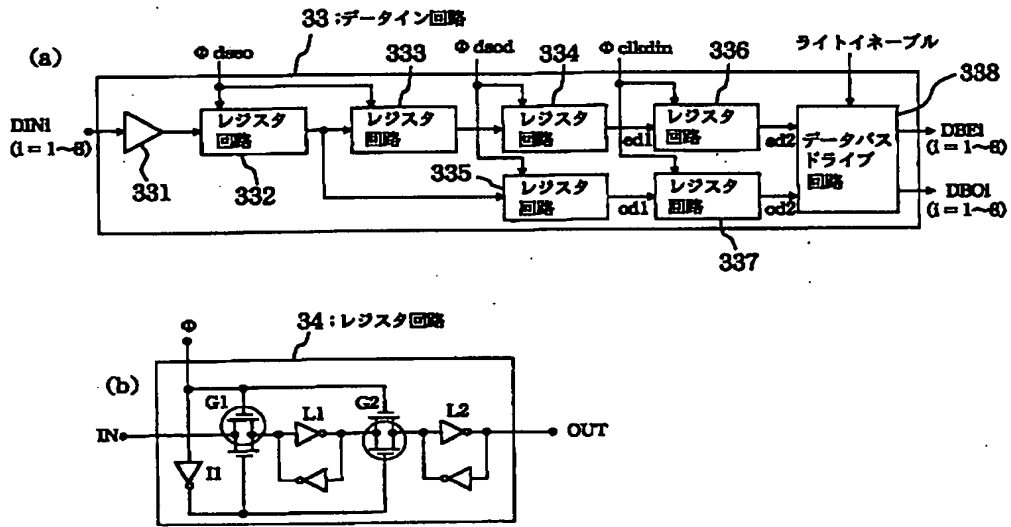
【図 6】



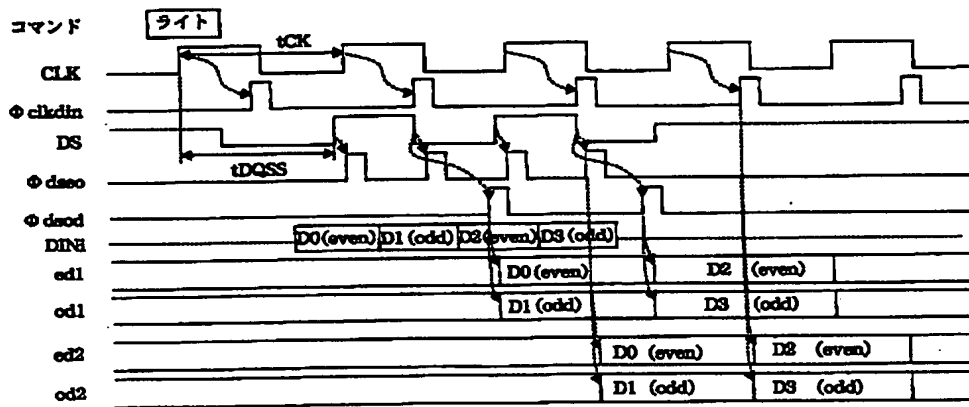
【図 13】



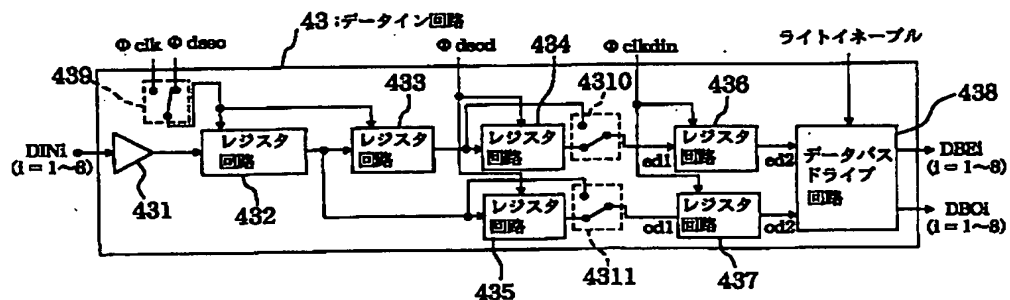
【図 9】



【図 10】



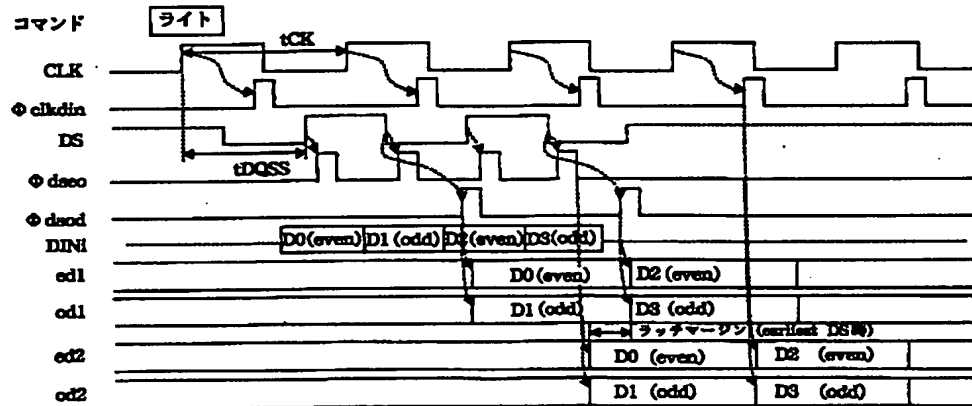
【図 14】



【図11】

$$t_{DQSS} = 0.75t_{CK}$$

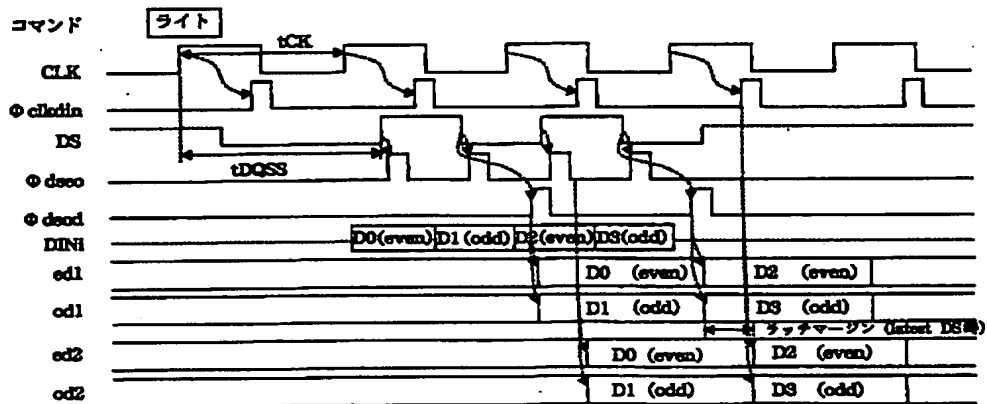
(t_{DQSS} min.)



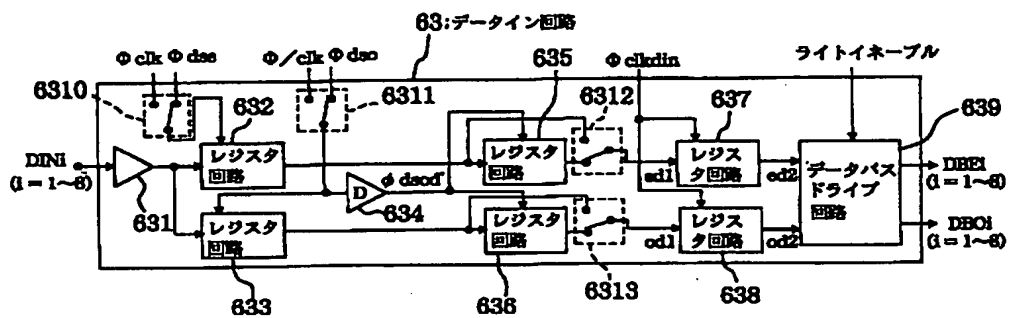
【図12】

$$t_{DQSS} = 1.25t_{CK}$$

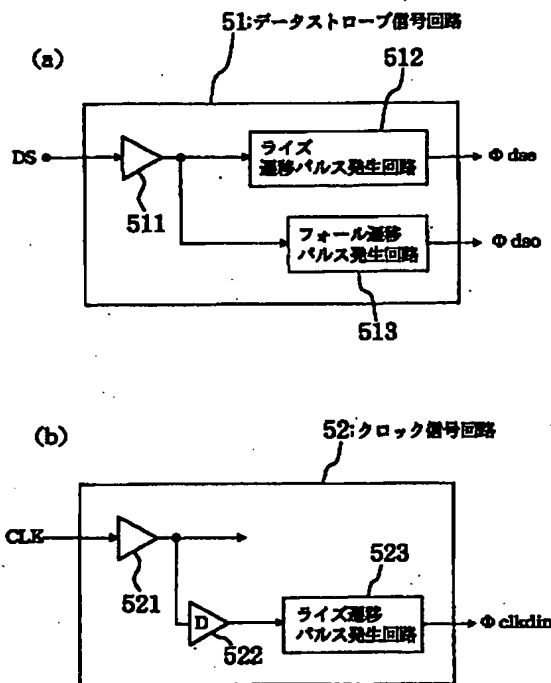
(t_{DQSS} max.)



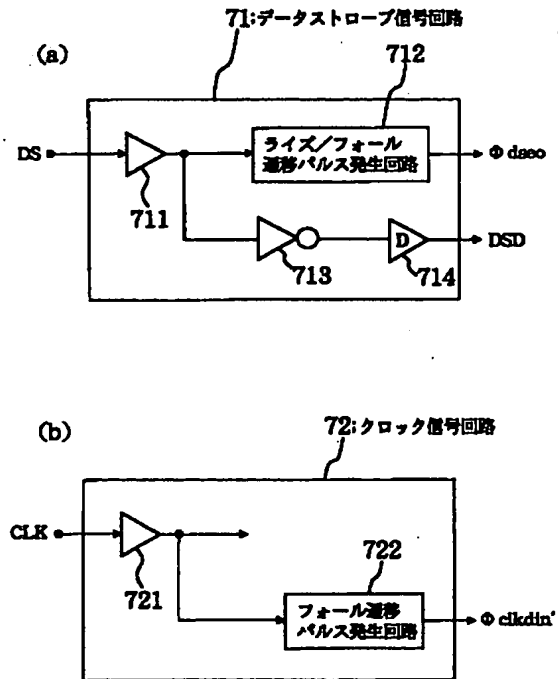
【図21】



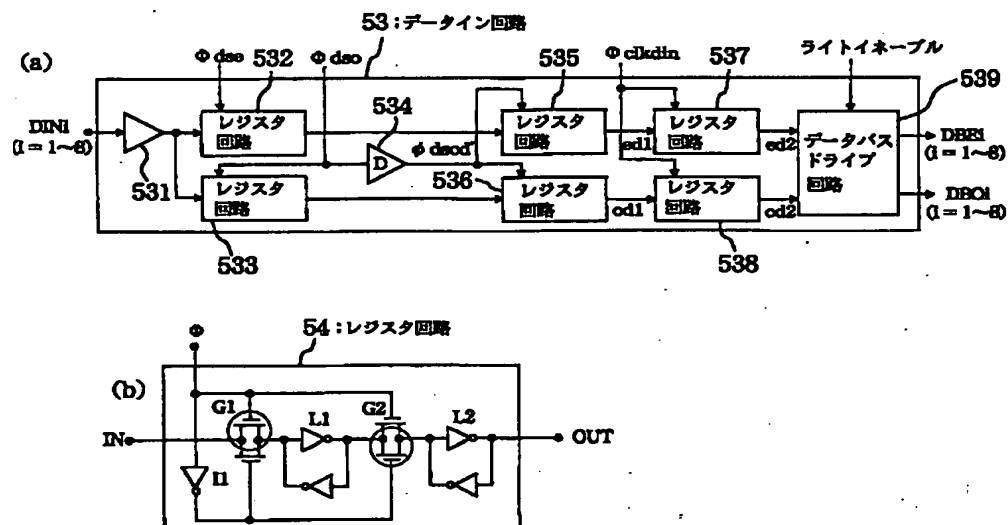
【図15】



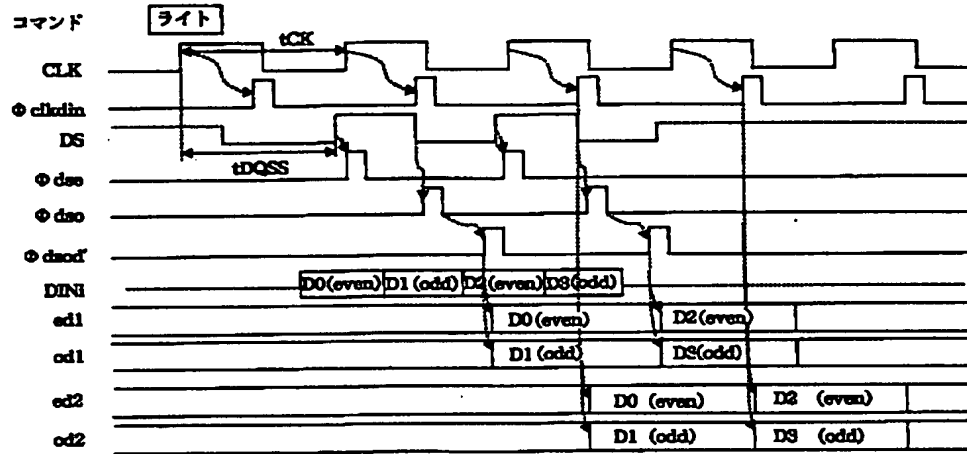
【図22】



【図16】



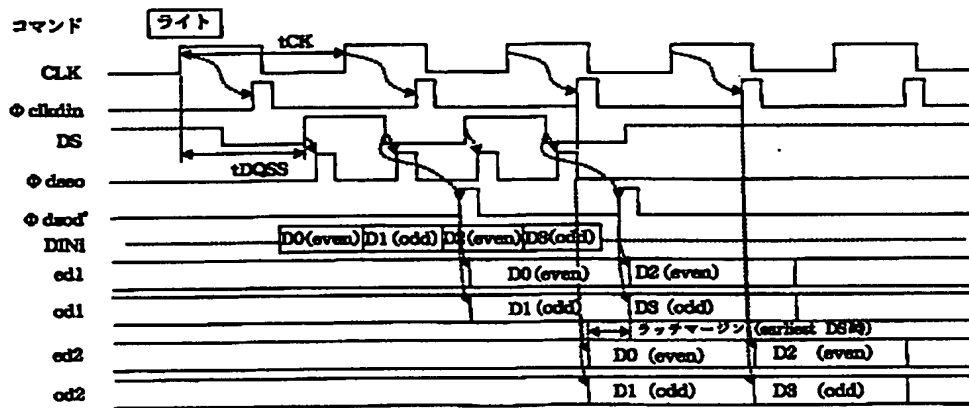
【図 17】



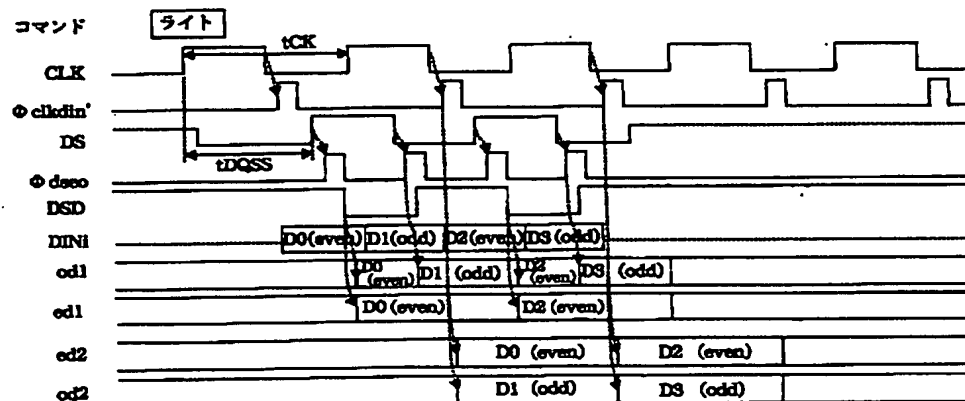
【図 18】

$$tDQSS = 0.75tCK$$

(tDQSS min.)

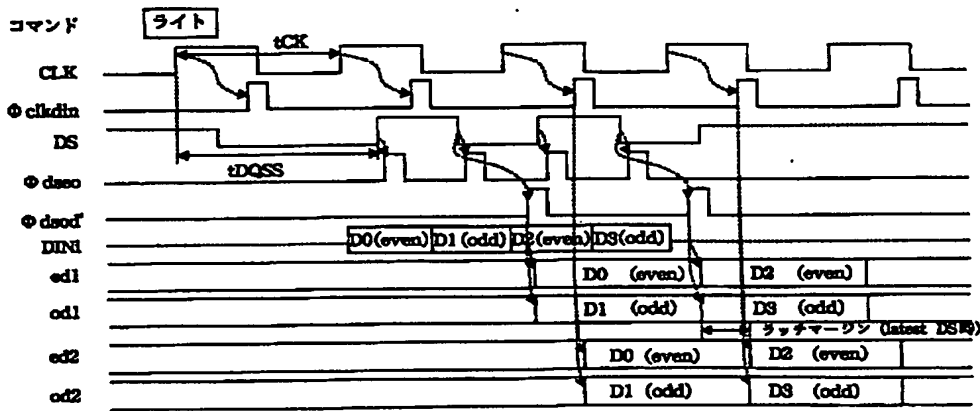


【図 24】

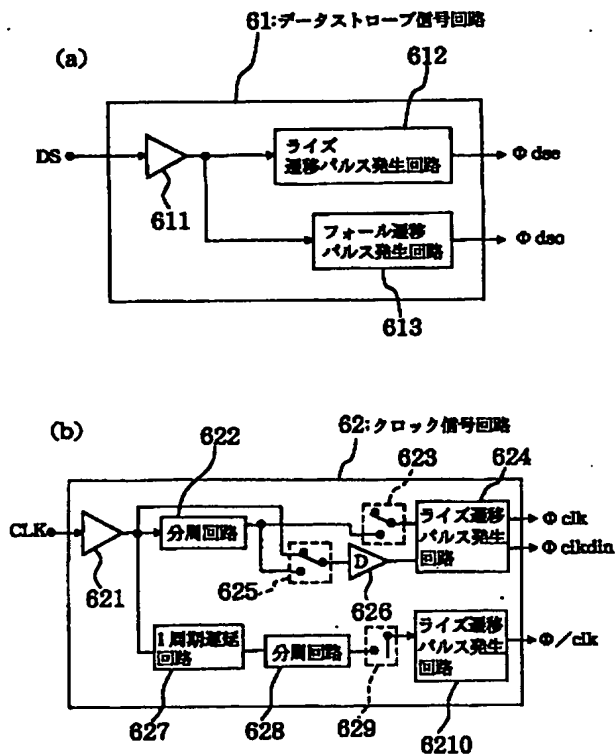


【図 19】

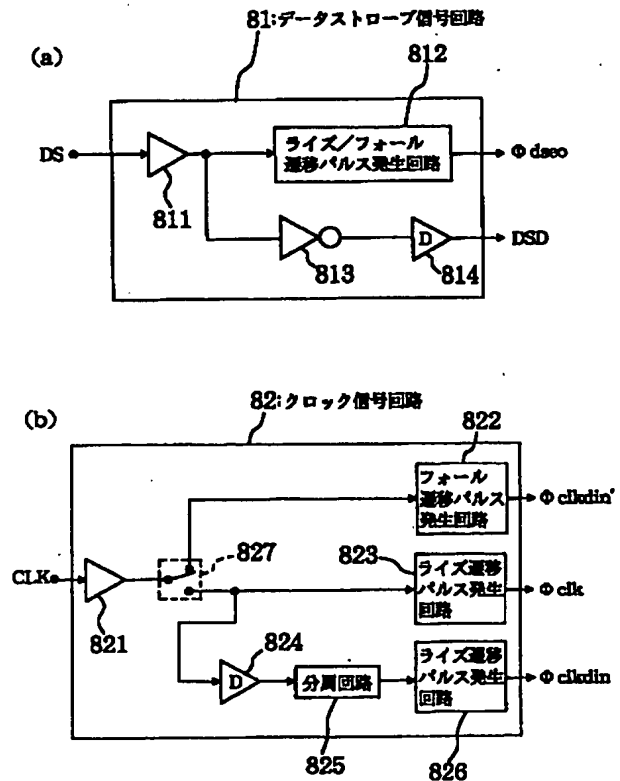
$$\frac{t_{DQSS} = 1.25t_{CK}}{(t_{DQSS} \text{ max.})}$$



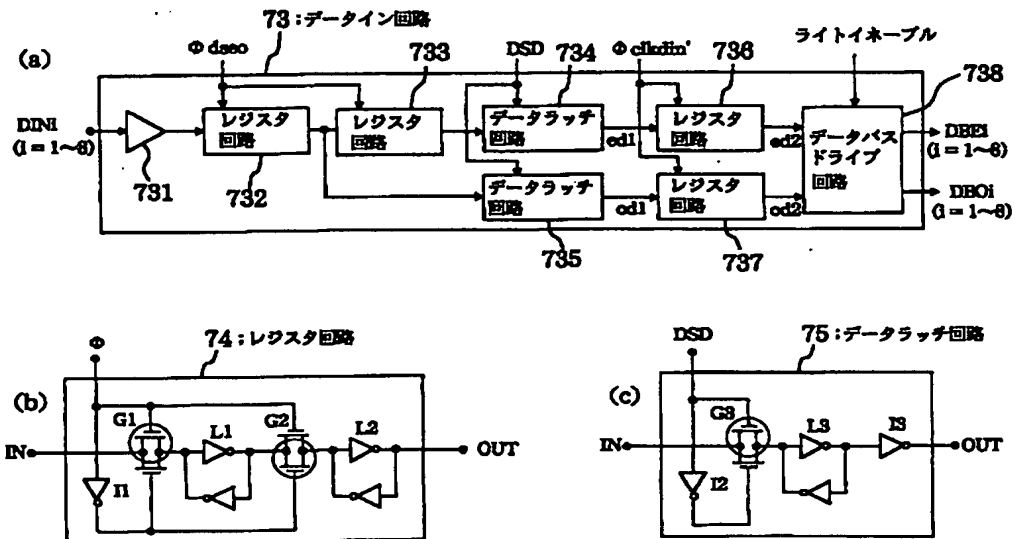
【図 20】



【図 27】

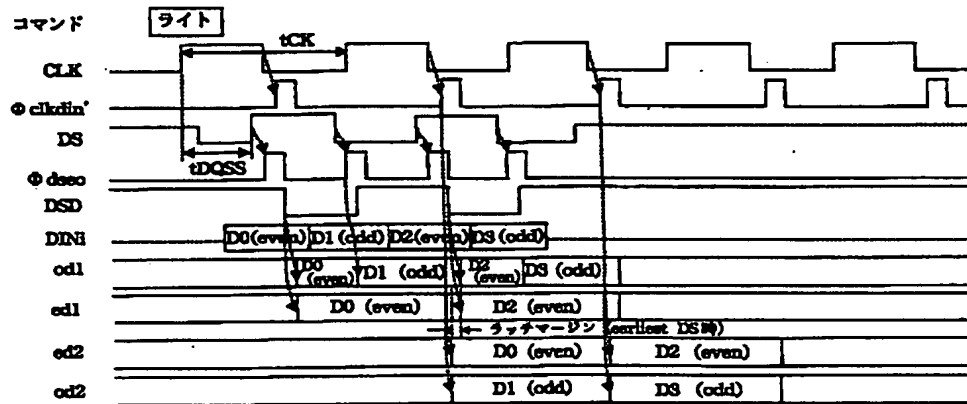


【図23】

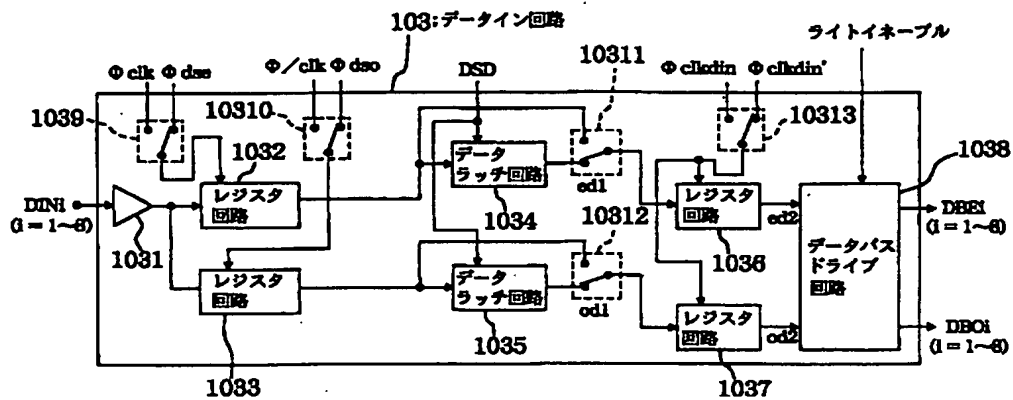


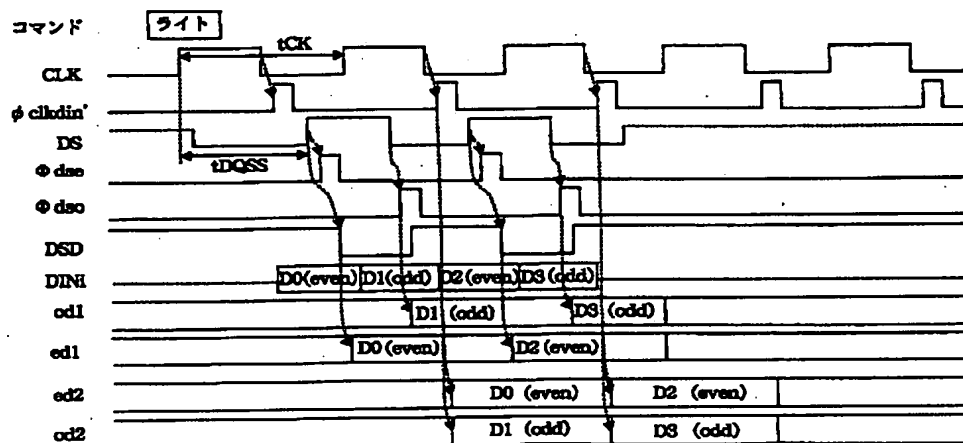
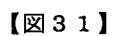
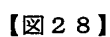
【図25】

$$\frac{tDQSS = 0.4tCK}{(tDQSS \text{ min.})}$$

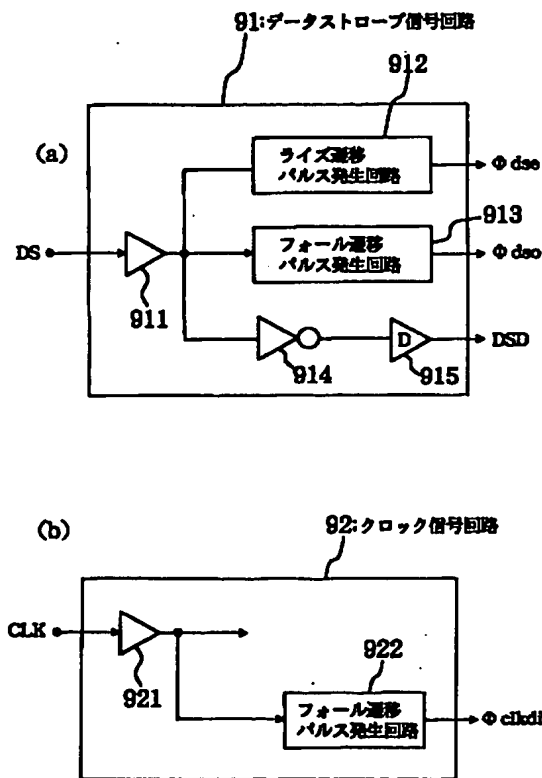


【図35】

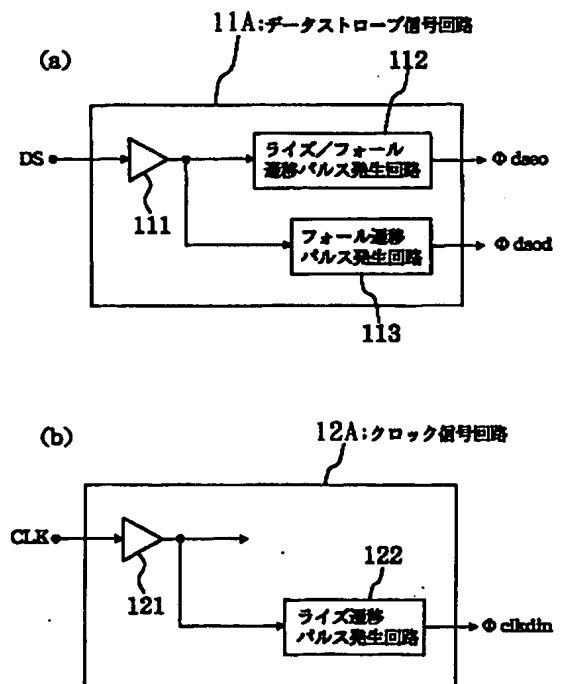


$$\frac{t_{DQSS} = 0.9 t_{CK}}{(t_{DQSS} \text{ max.})}$$


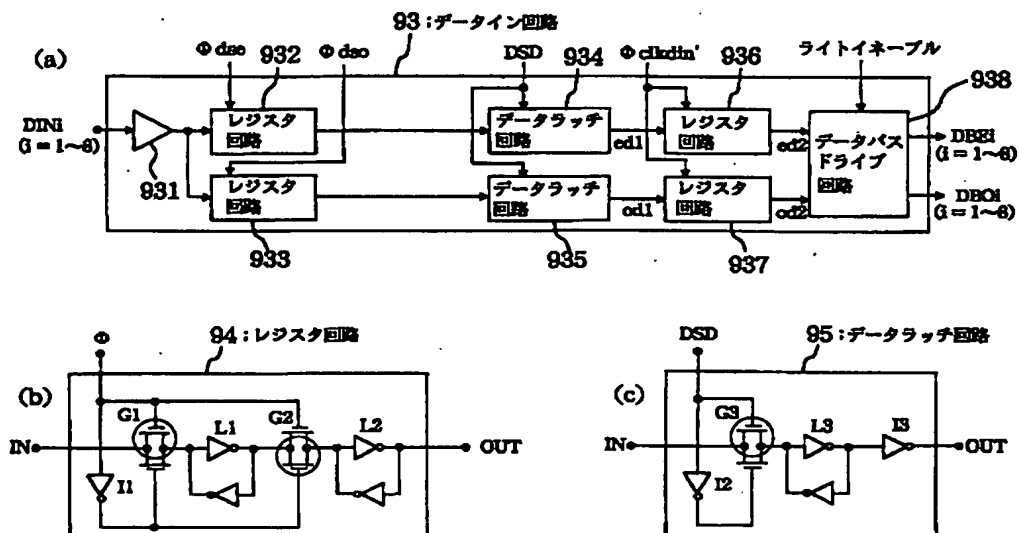
【図 29】

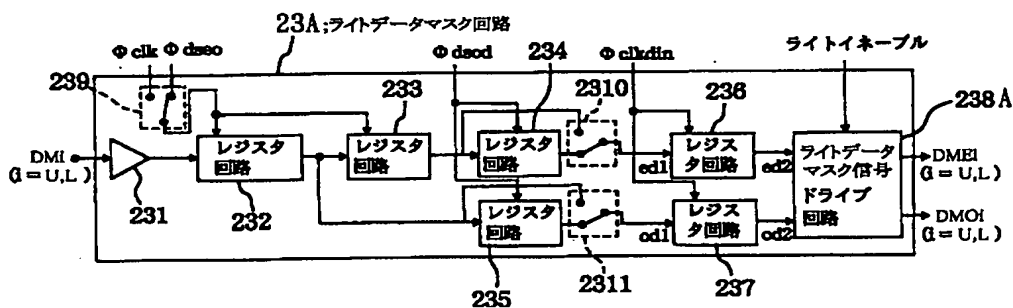
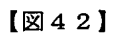
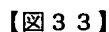


【図 36】

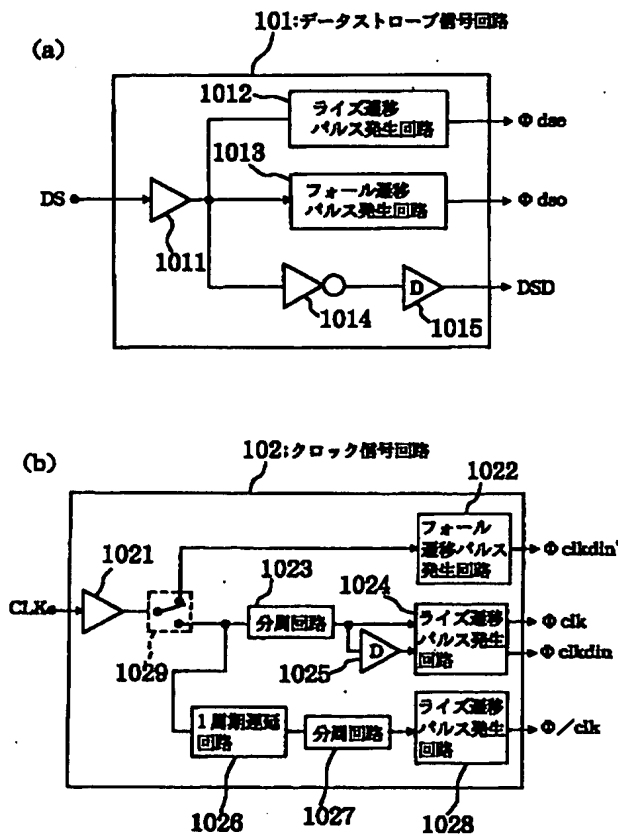


【図 30】

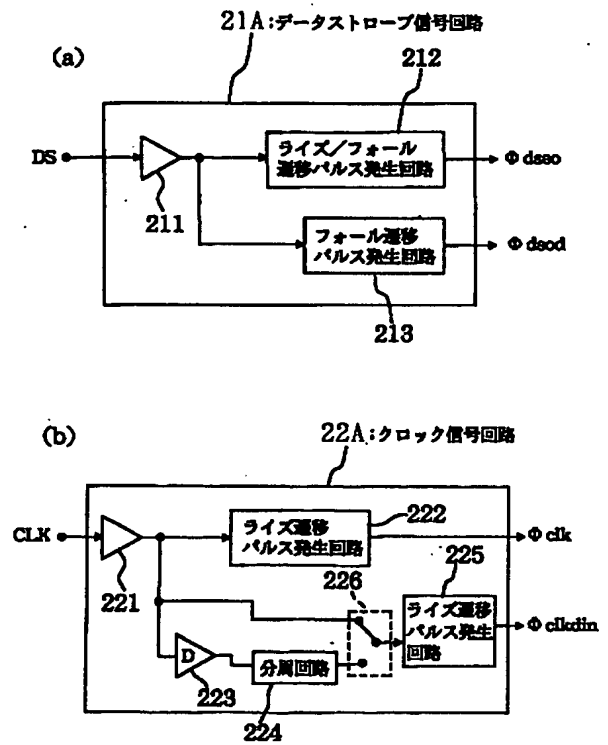


$$\frac{t_{DQSS} = 0.4 t_{CK}}{(t_{DQSS} \text{ min.})}$$


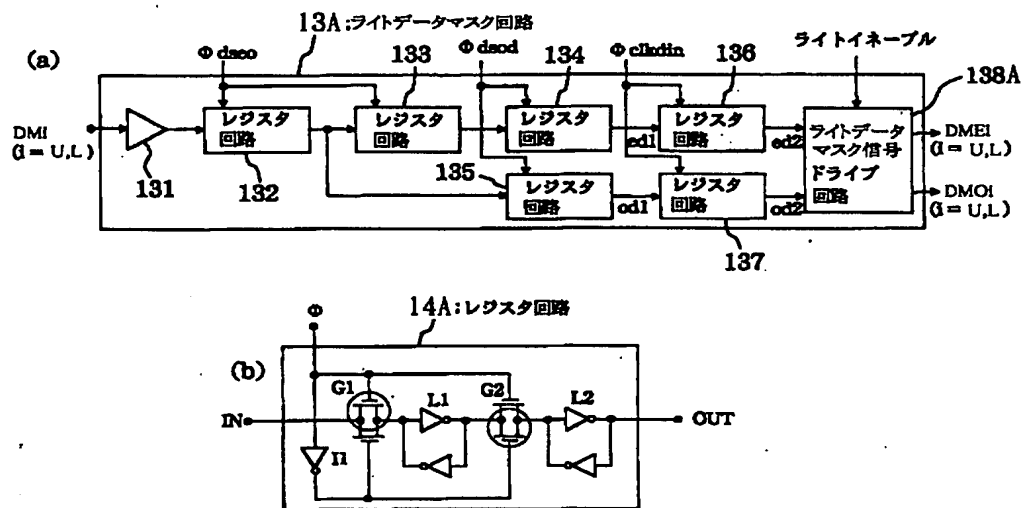
【図 34】



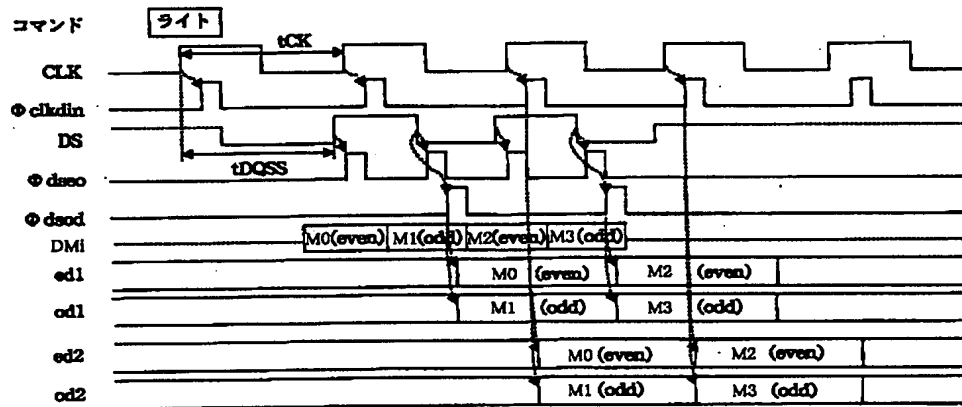
【図 41】



【図 37】



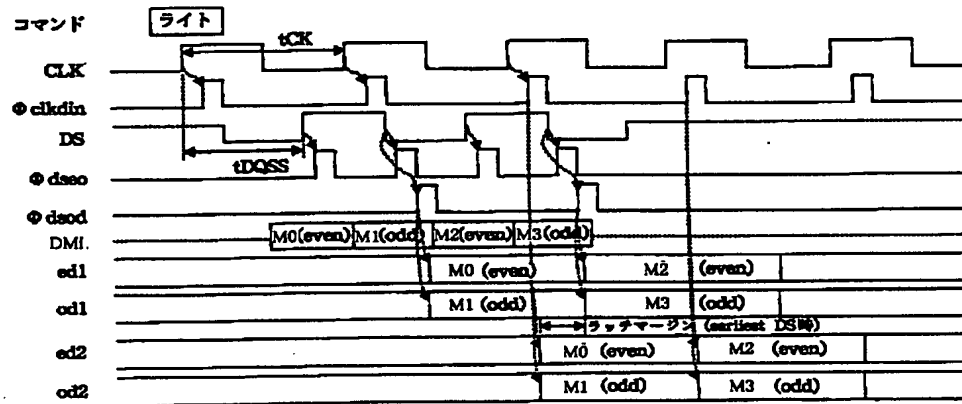
【図38】



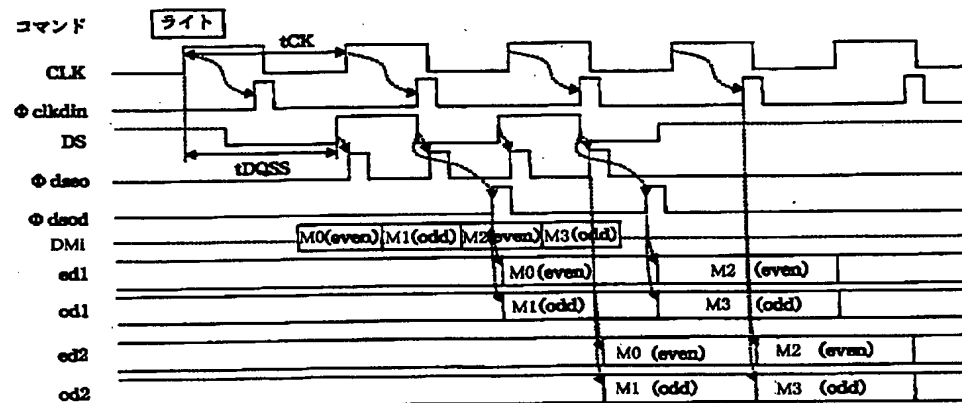
【図39】

$$tDQSS = 0.75tCK$$

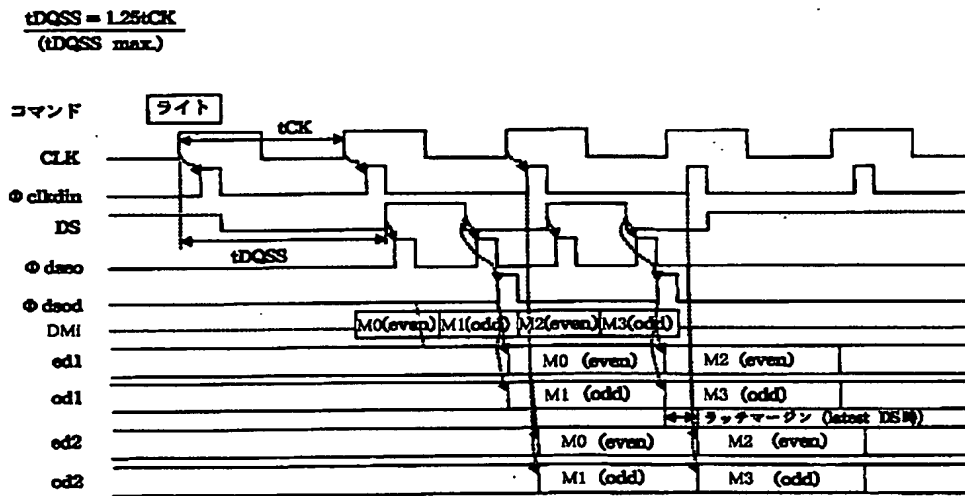
(tDQSS min.)



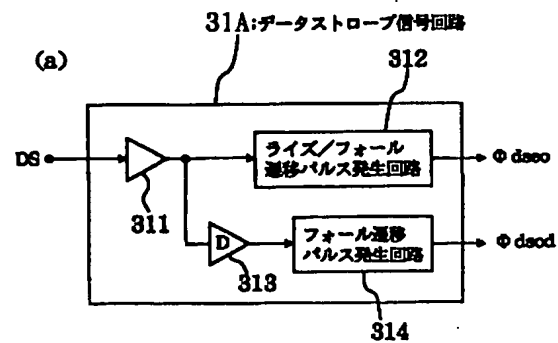
【図45】



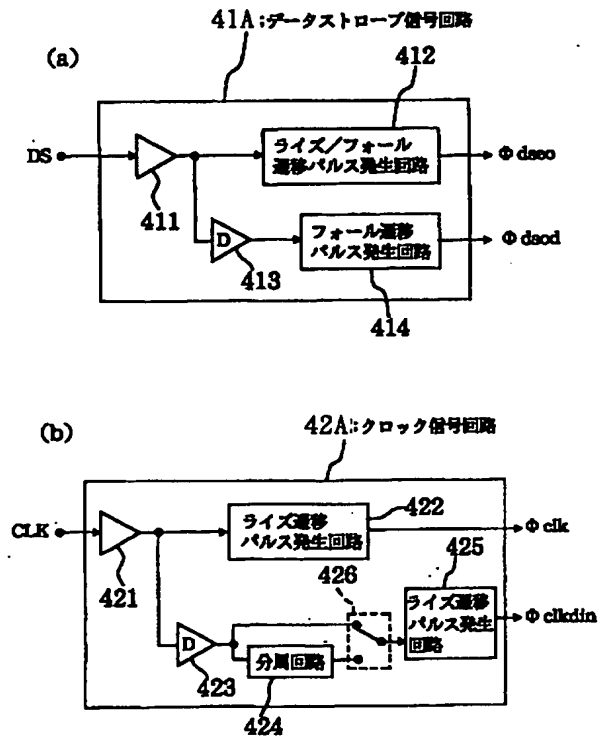
【図 40】



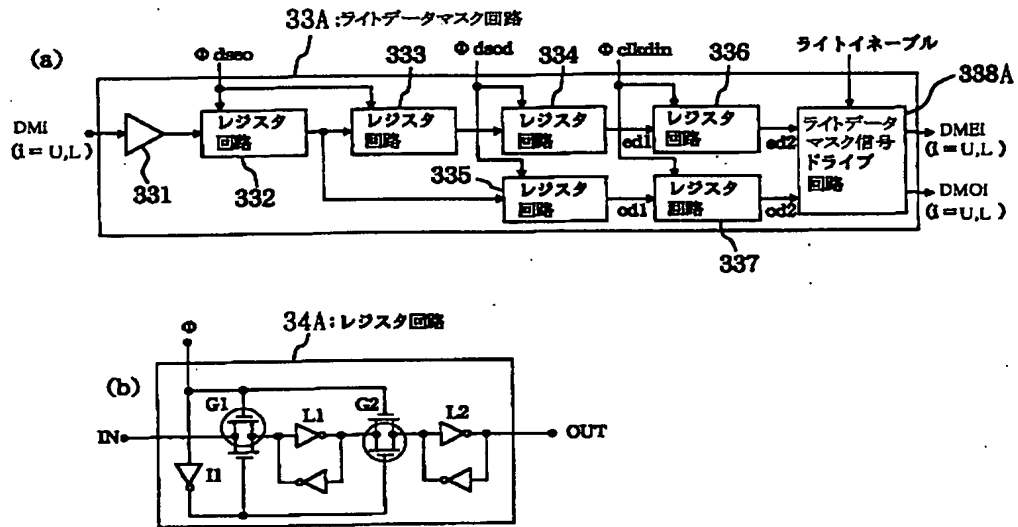
【図 43】



【図 48】

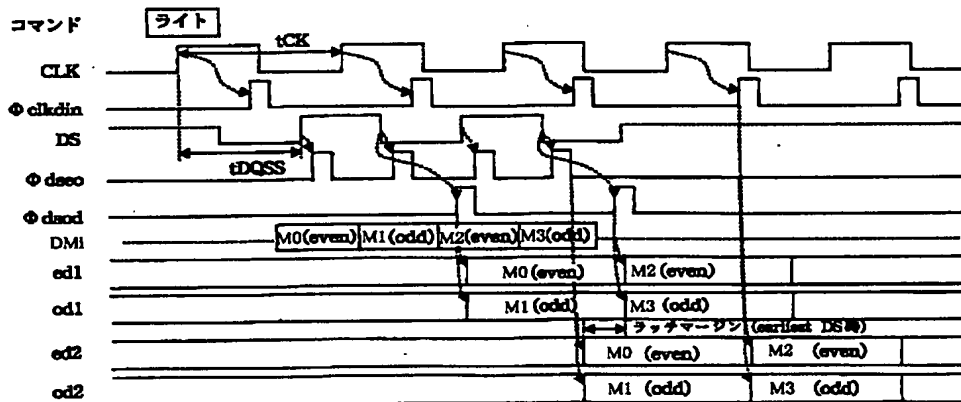


【図 4 4】

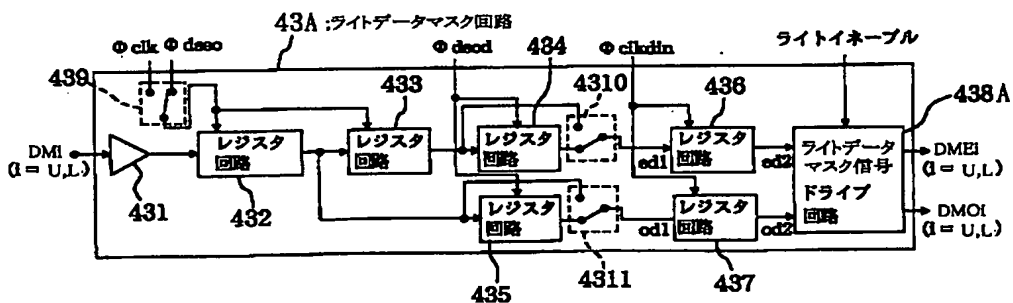


【図 4 6】

$$\frac{t_{DQSS}}{t_{DQSS \min.}} = 0.75$$

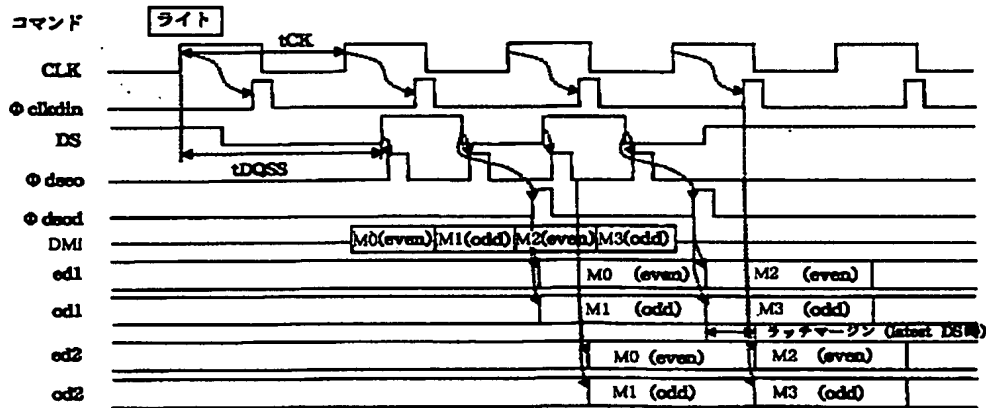


【図 4 9】

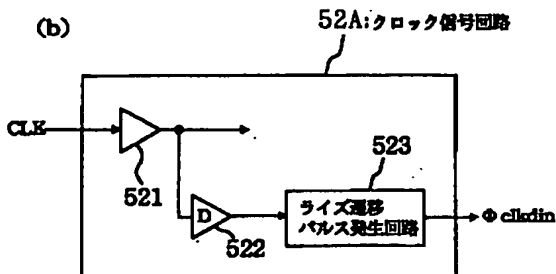
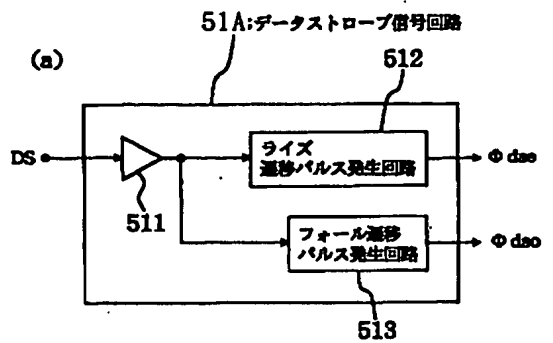


【図 47】

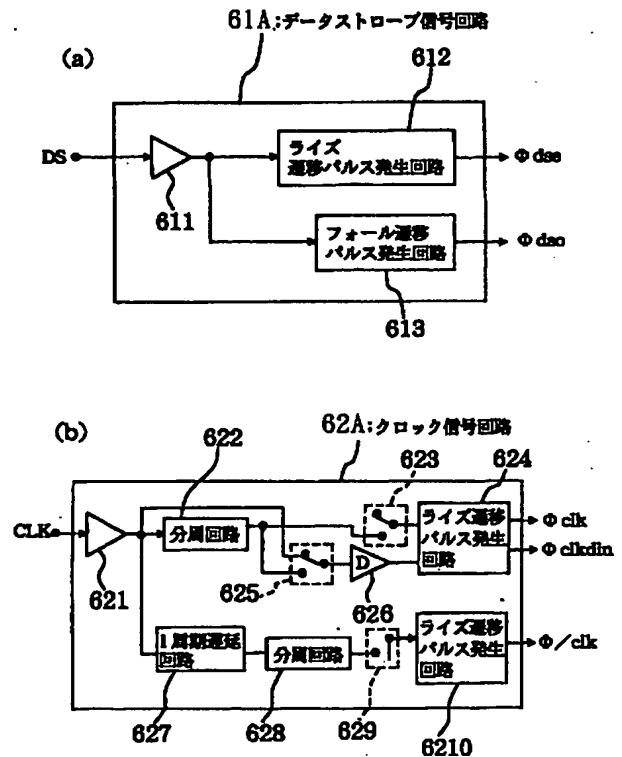
$$\frac{t_{DQSS} = 1.25t_{CK}}{(t_{DQSS \max.})}$$



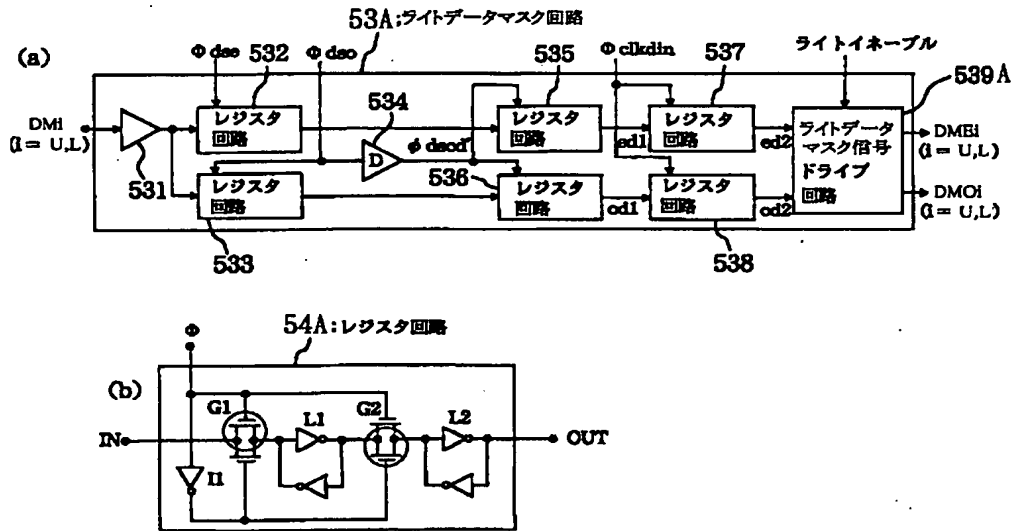
【図 50】



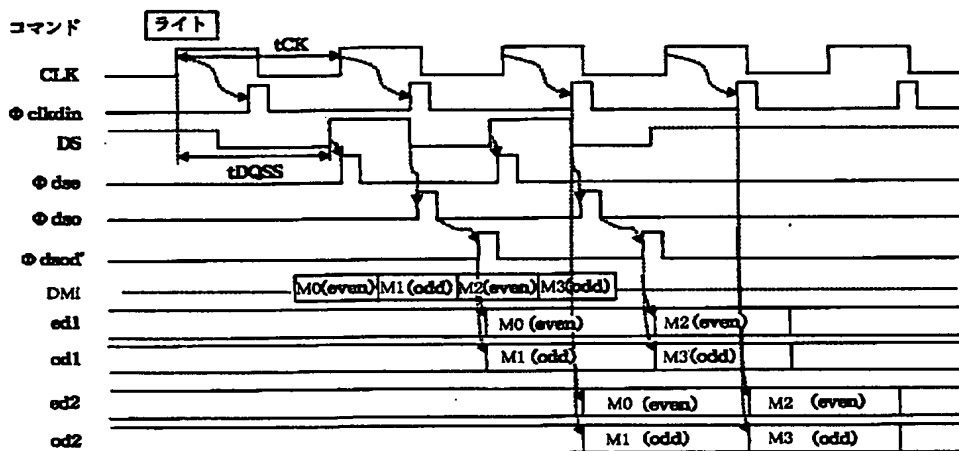
【図 55】



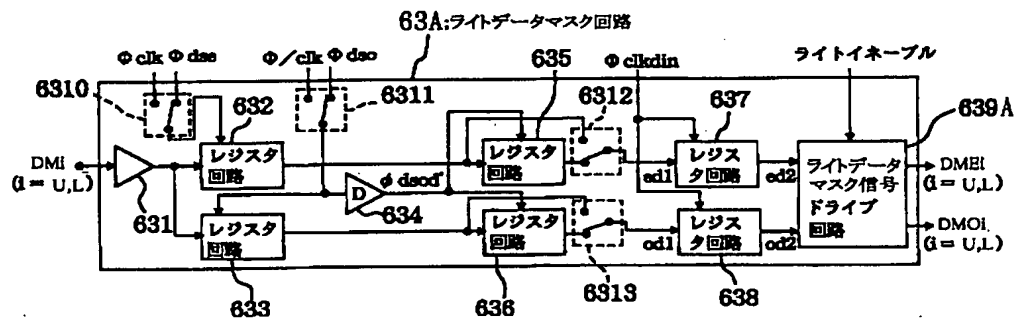
【図 51】



【図 52】

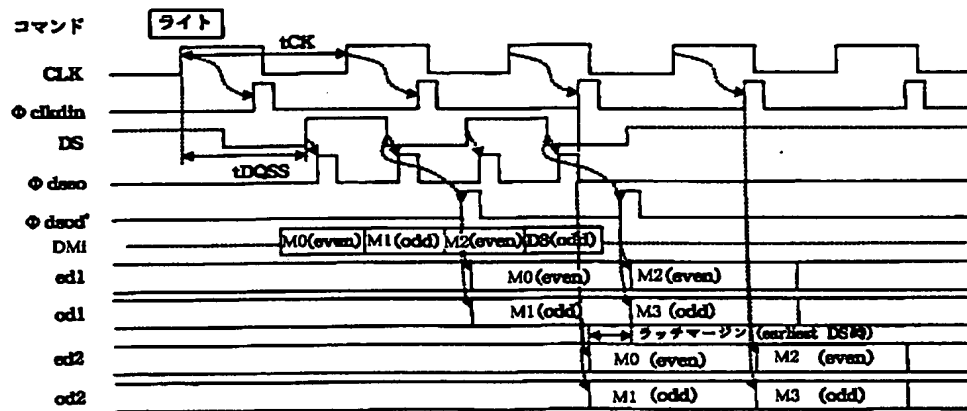


【図 56】



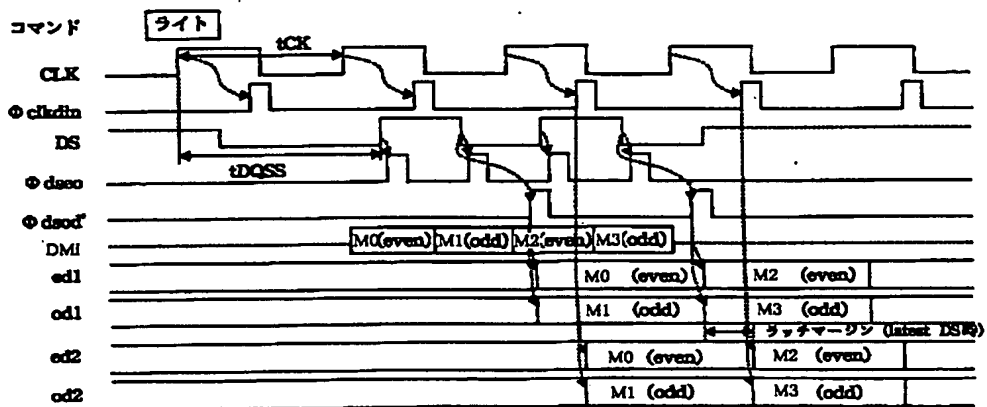
【図53】

$$\frac{t_{DQSS} = 0.75t_{CK}}{(t_{DQSS} \text{ min.})}$$

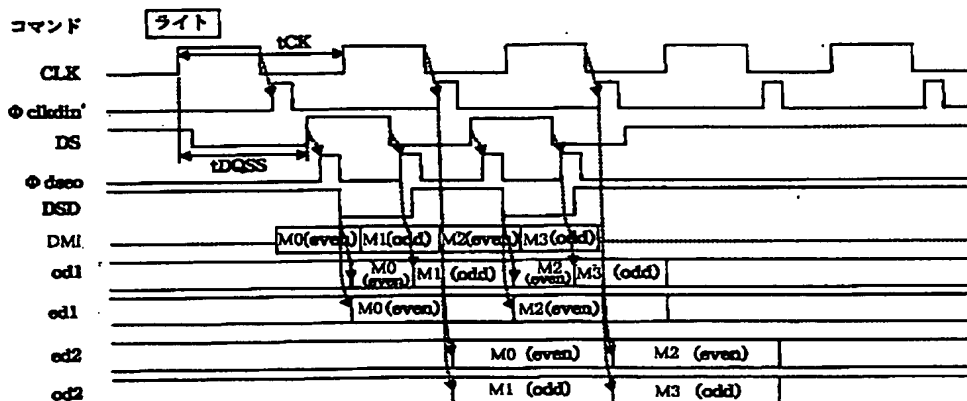


【図54】

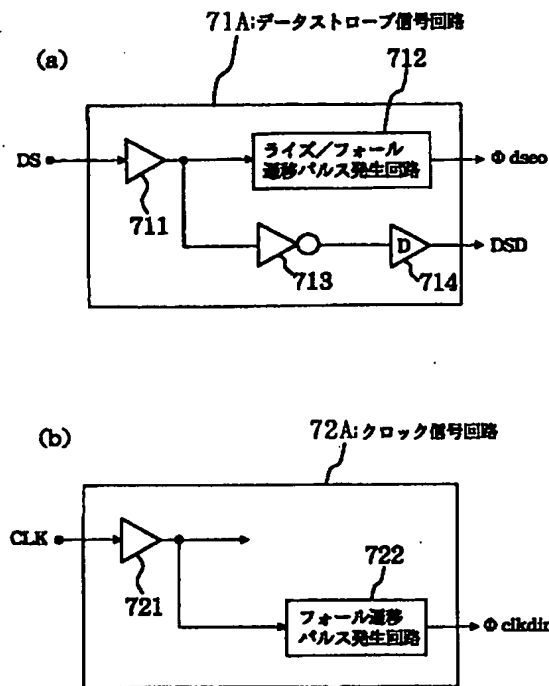
$$\frac{t_{DQSS} = 1.25t_{CK}}{(t_{DQSS} \text{ max.})}$$



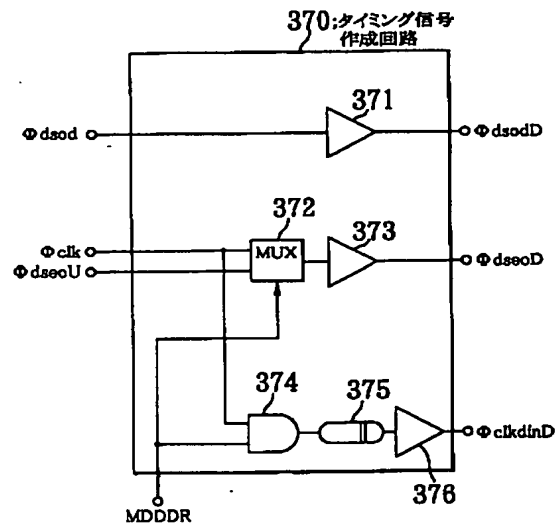
【図59】



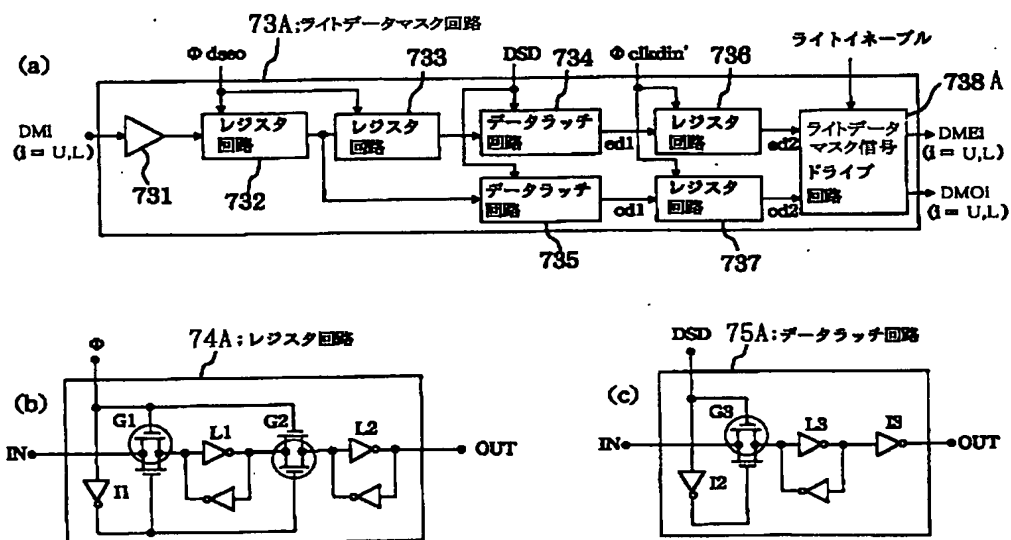
【図 57】



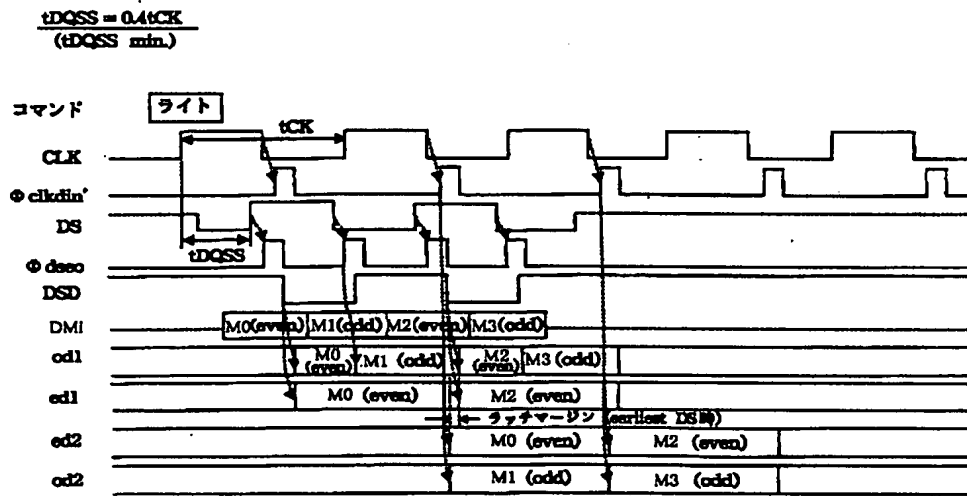
【図 72】



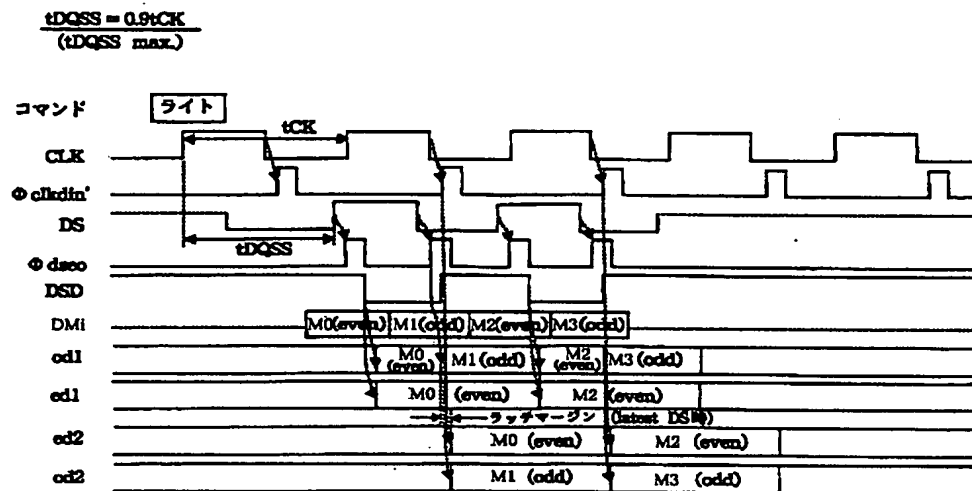
【図 58】



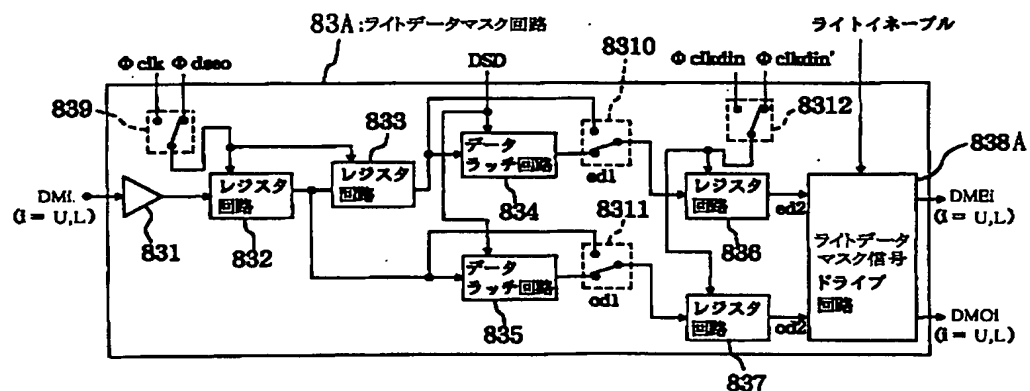
【図 60】



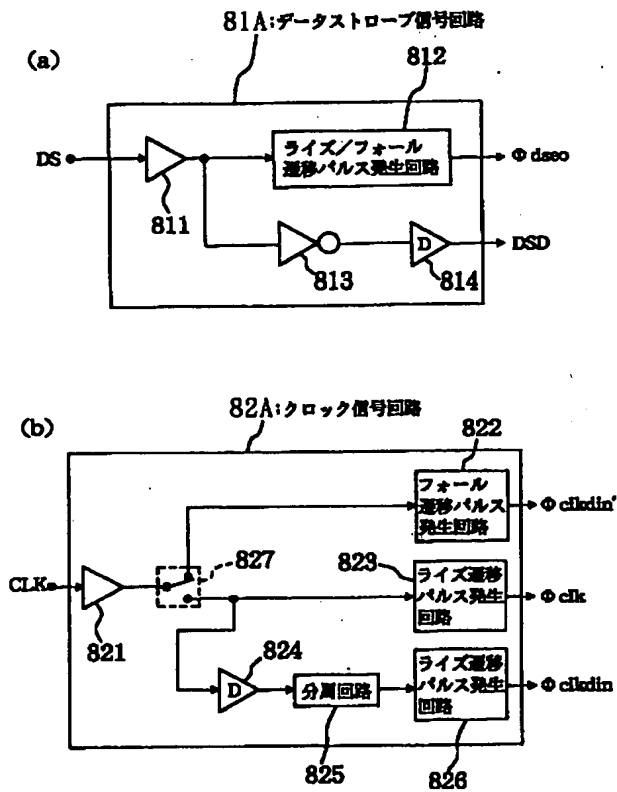
【図 61】



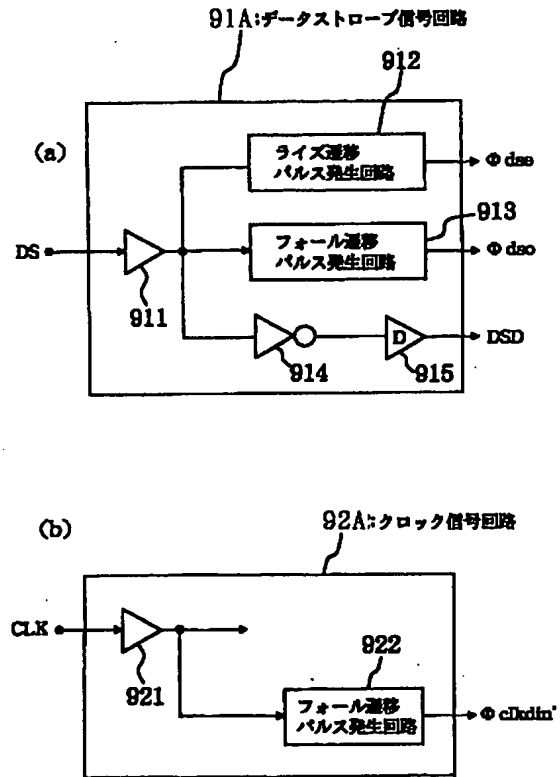
【図 63】



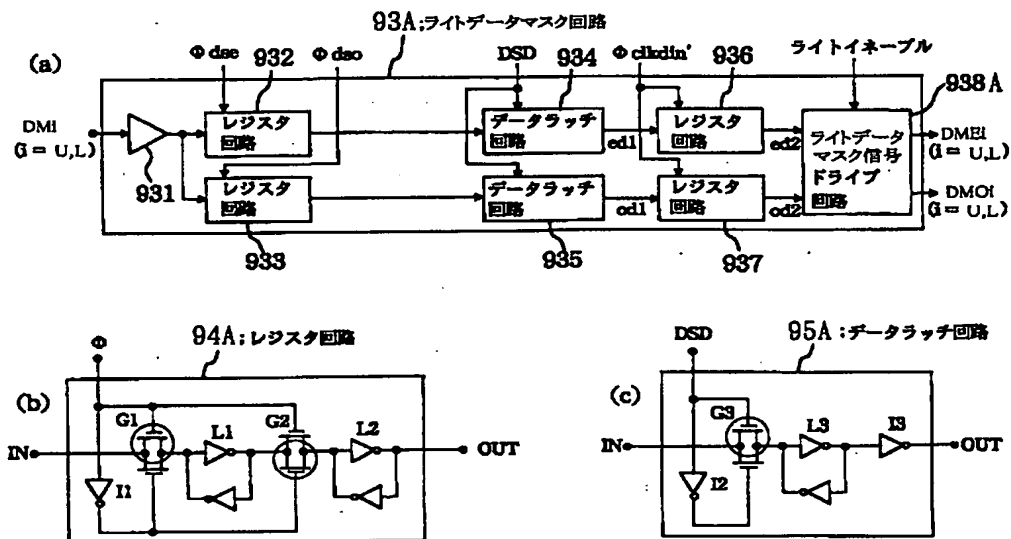
【図62】



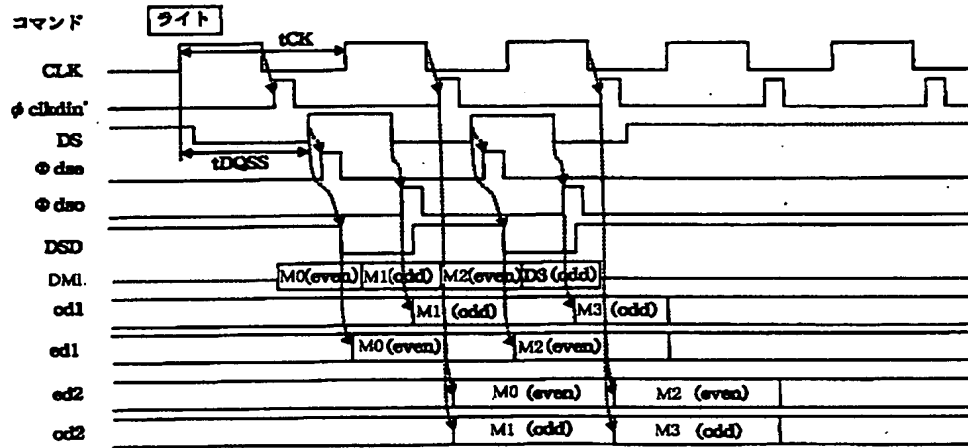
【図64】



【図65】

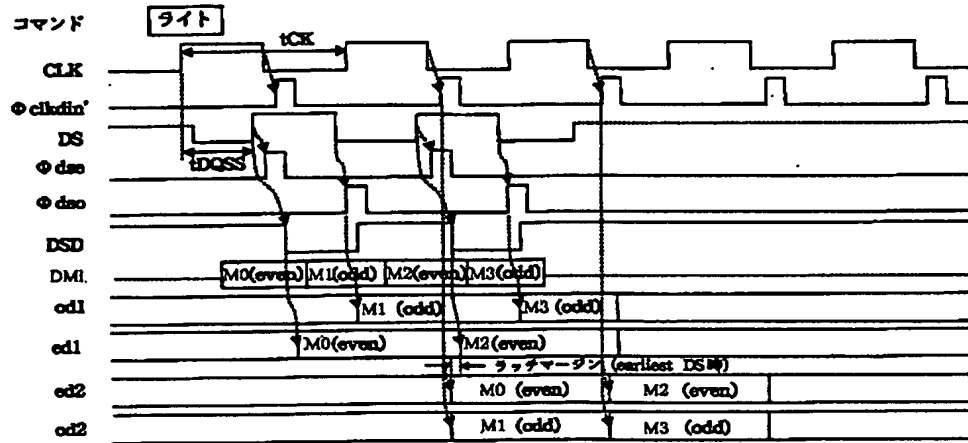


【図 66】

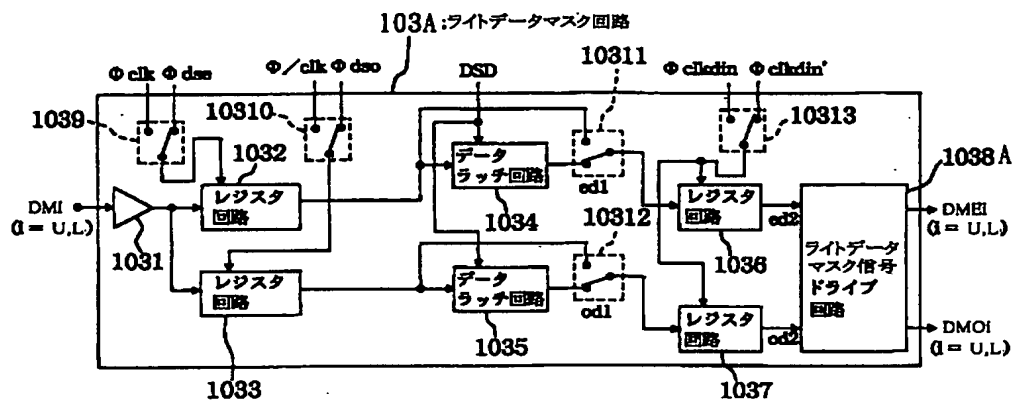


【図 67】

$$\frac{tDQSS = 0.4tCK}{(tDQSS \text{ min.})}$$



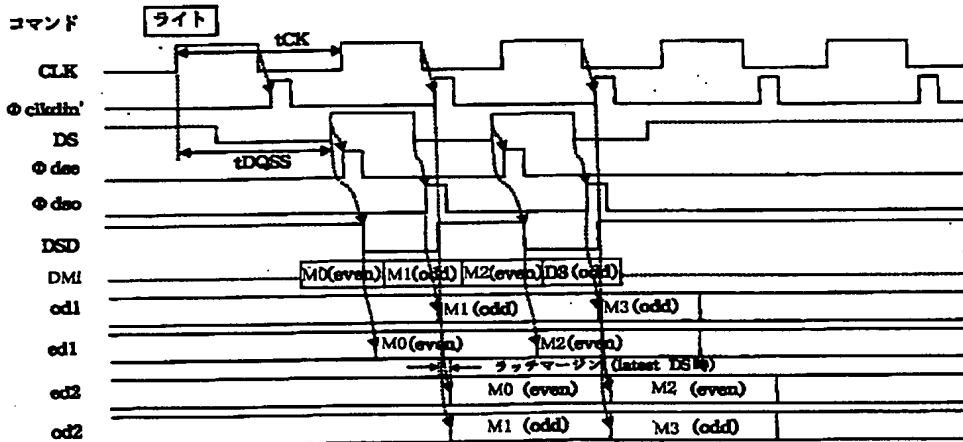
【図 70】



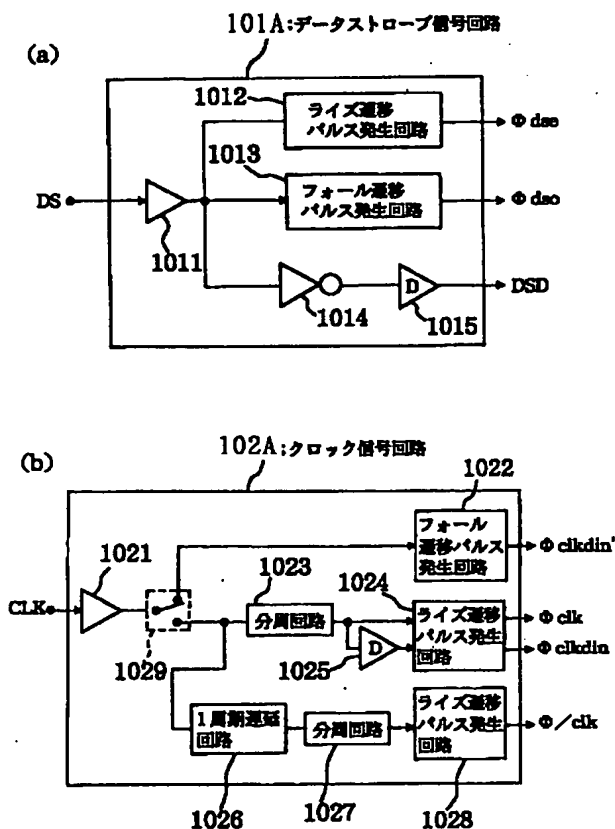
【図 68】

$$t_{DQSS} = 0.9t_{CK}$$

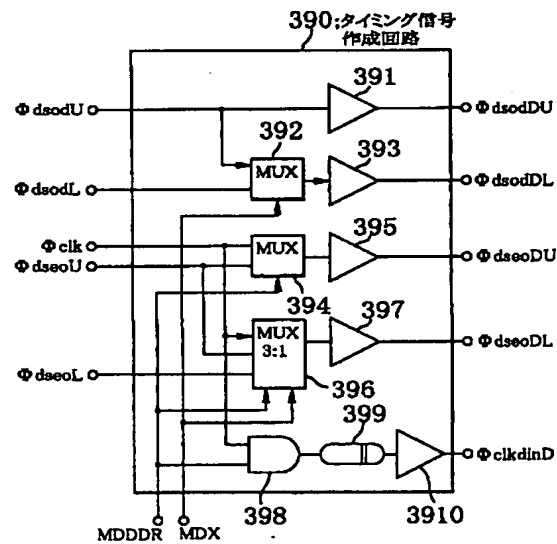
($t_{DQSS \text{ max.}}$)



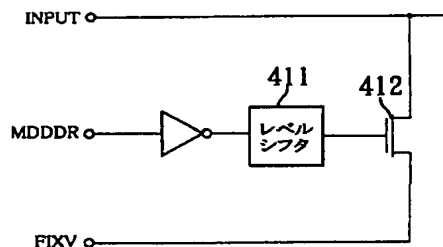
【図 69】



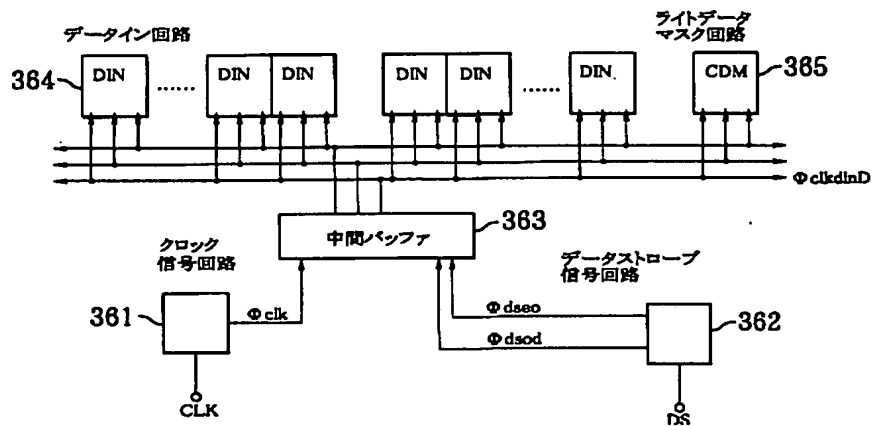
【図 74】



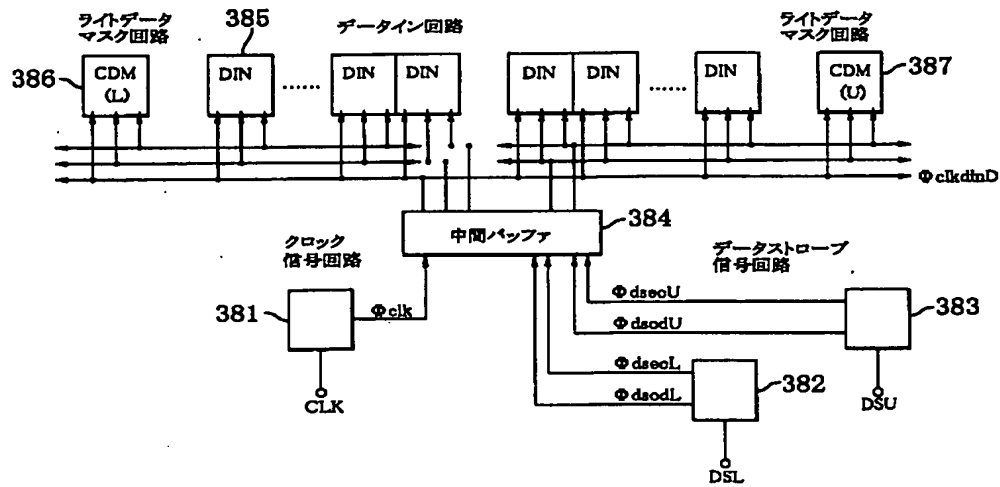
【図 76】



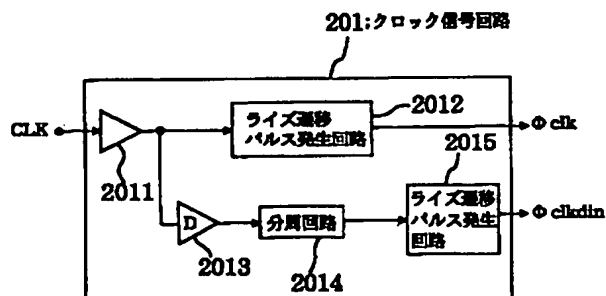
【図 71】



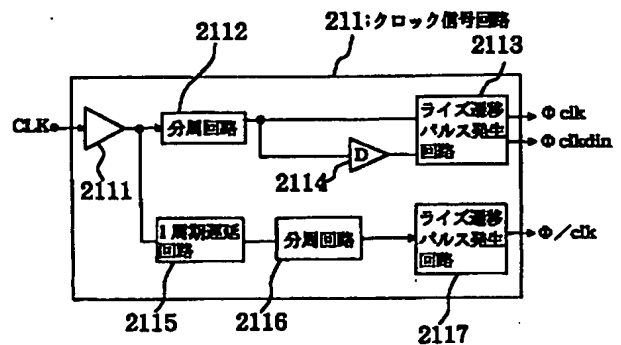
【図 73】



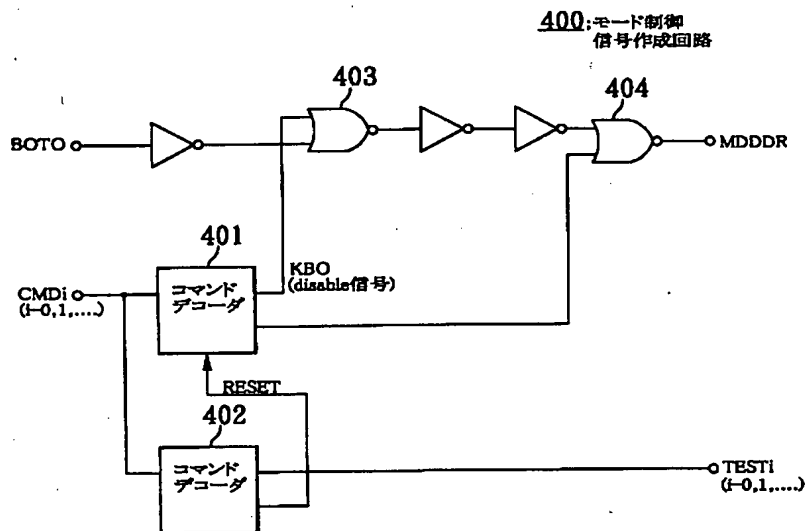
【図 77】



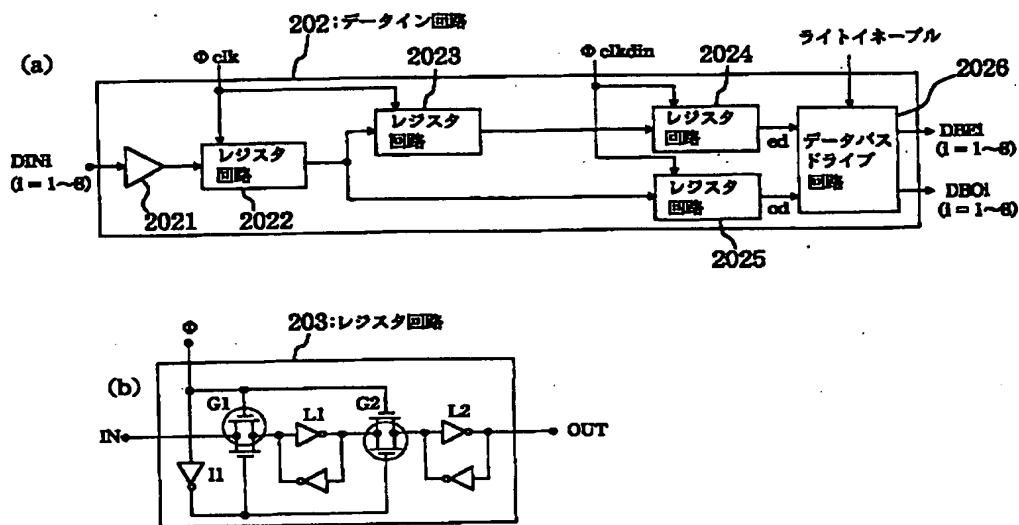
【図 80】



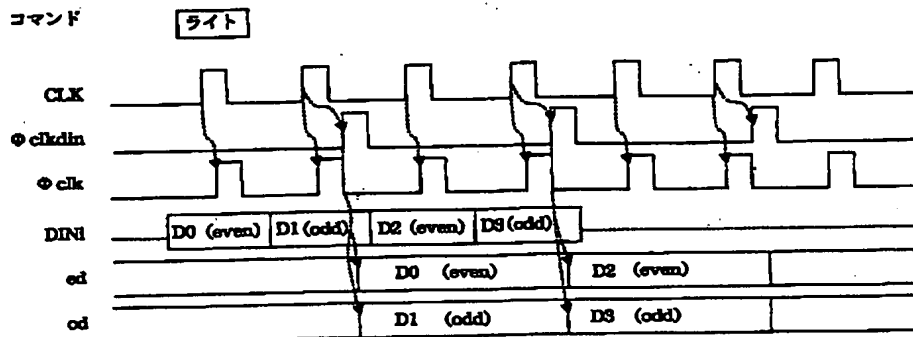
【図 75】



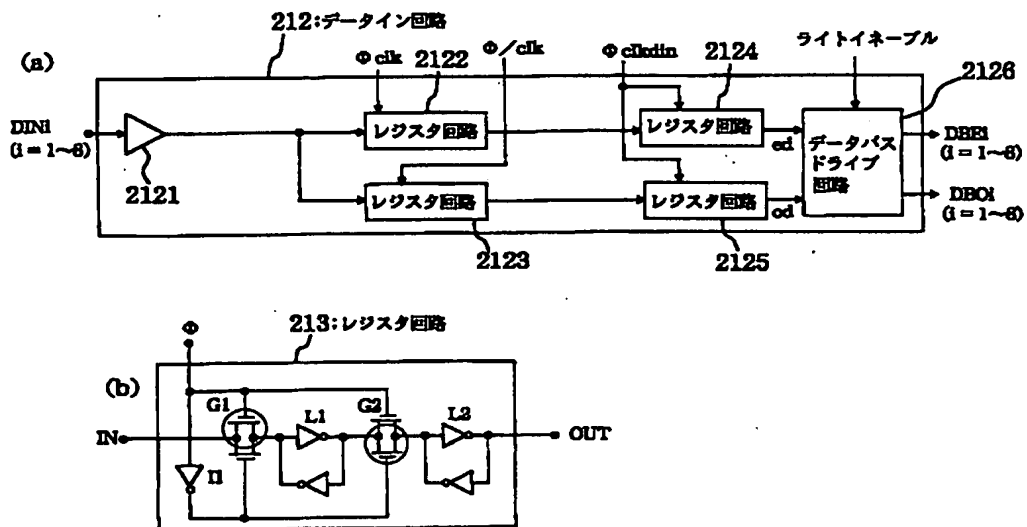
【図 78】



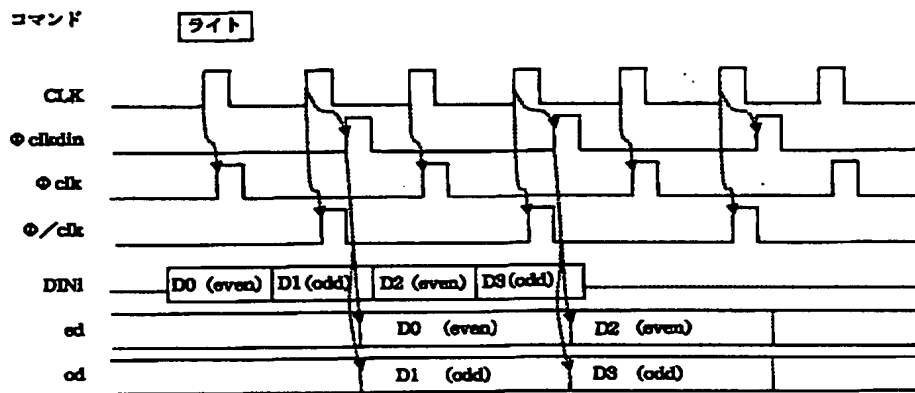
【図 79】



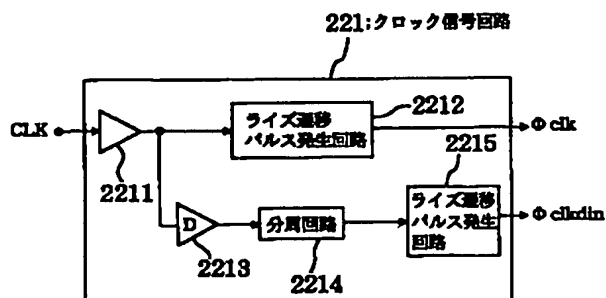
【図81】



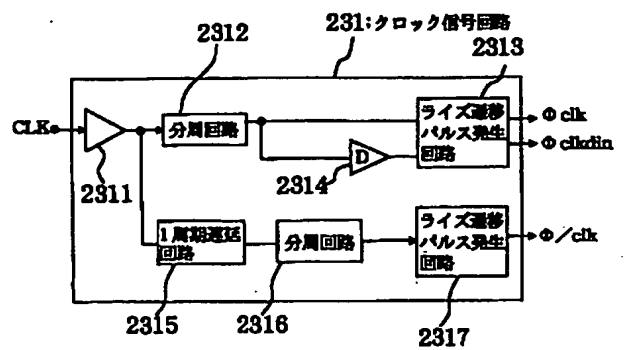
【図82】



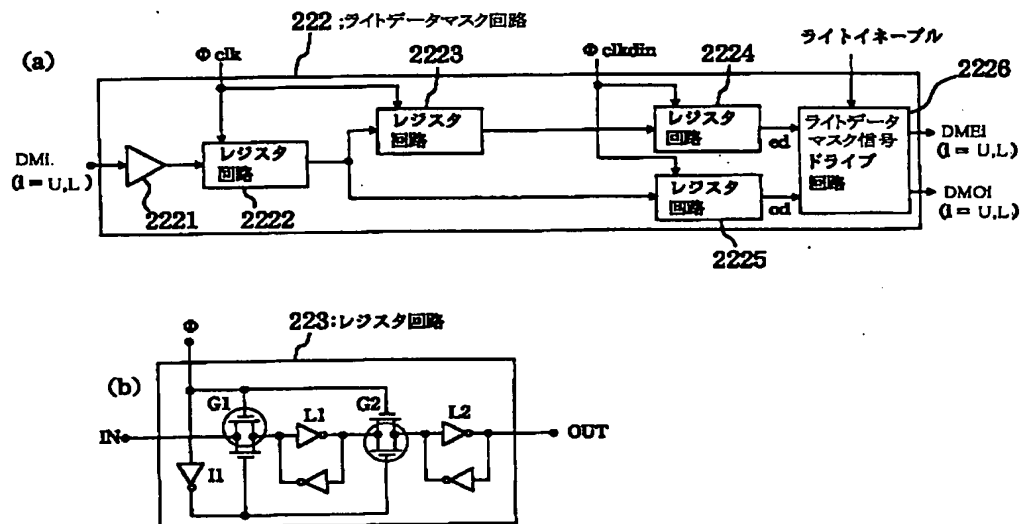
【図83】



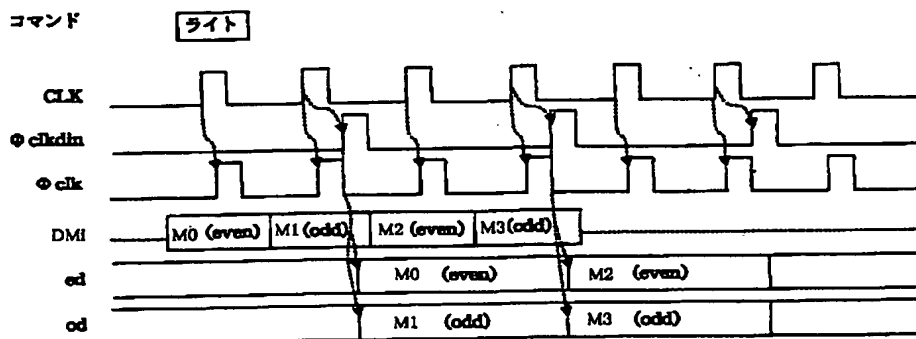
【図86】



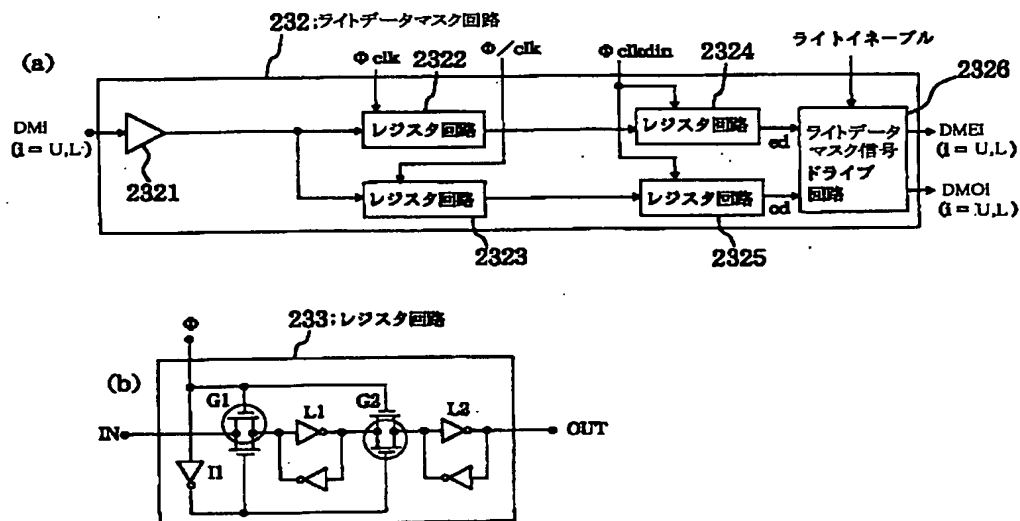
【図 84】



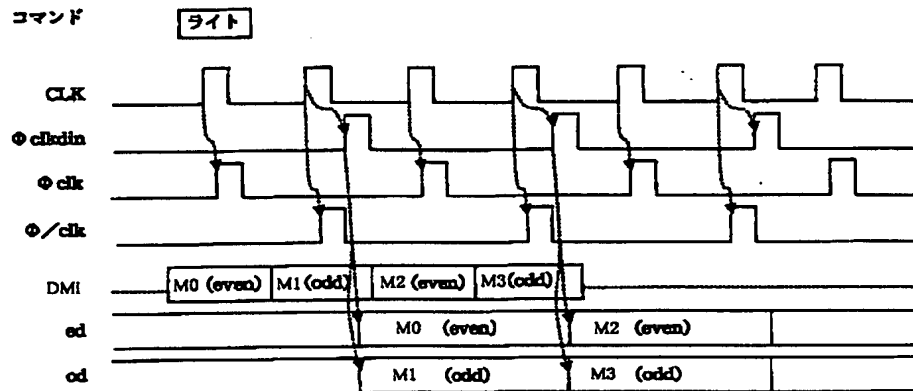
【図 85】



【図 87】



【図 88】



【図 89】

